



**Ростех**

Объединенная  
приборостроительная  
корпорация

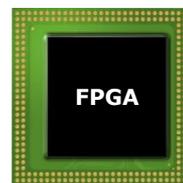
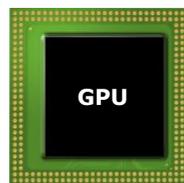
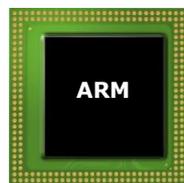
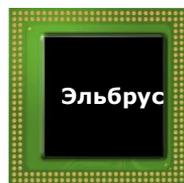
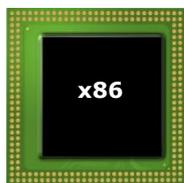
# **Первое и второе поколение высокоскоростной сети Ангара**

***А.С. Симонов, А.С. Семенов***

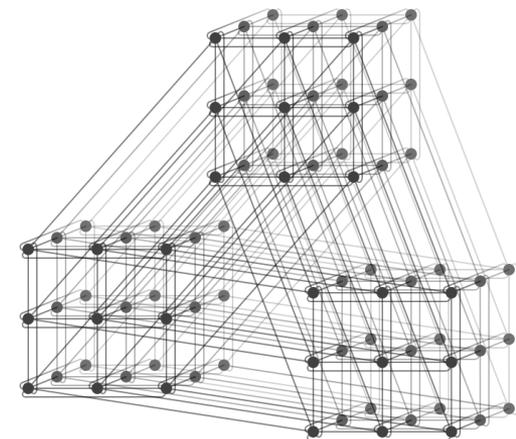
**21.09.2019**

### Ключевые особенности:

- Топология сети: 1D..4D-тор
- Адаптер на базе СБИС (65 нм, АО «НИЦЭВТ»)
- До 8 каналов связи с соседними узлами
- Прямой доступ в память удаленного узла (RDMA)
- Поддержка многоядерности
- Адаптивная передача пакетов
- Задержка на MPI ping-pong: 0,85/ 1,54 мкс (x86/Эльбрус-8С)
- Задержка на хоп: 130 нс
- Масштабирование: до 32К узлов
- Энергопотребление до 20 Вт
- Различные физические среды передачи данных



# АНГАРА

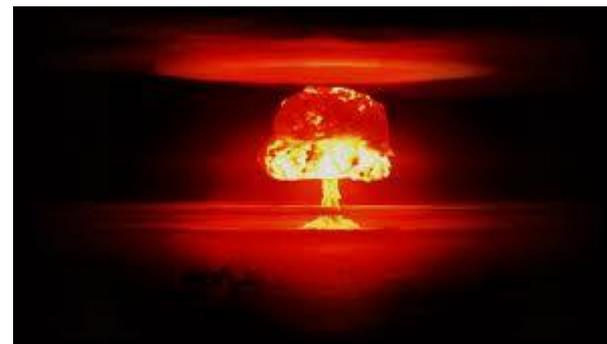
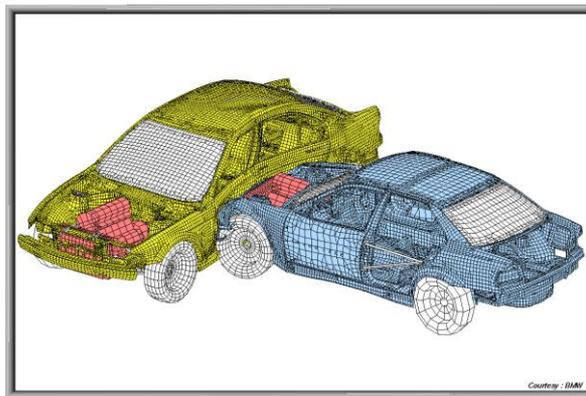
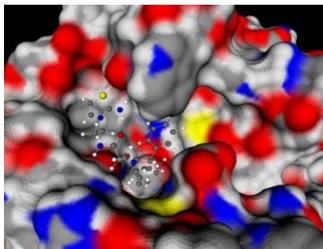
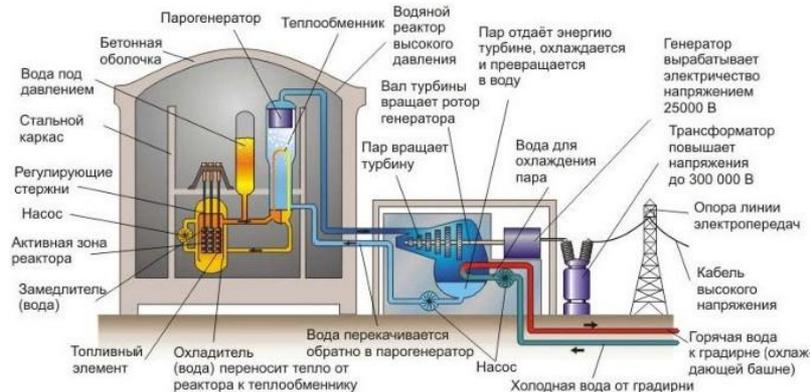
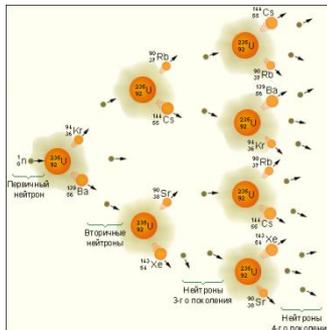
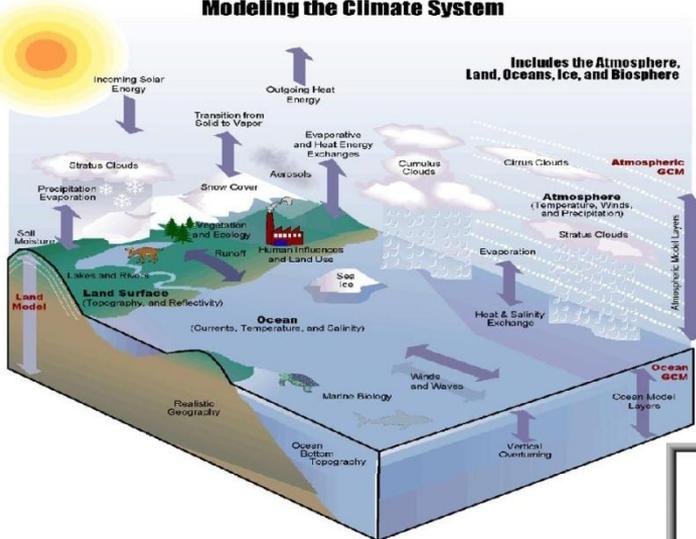


*«Нет ничего более рискованного, чем не рисковать»*

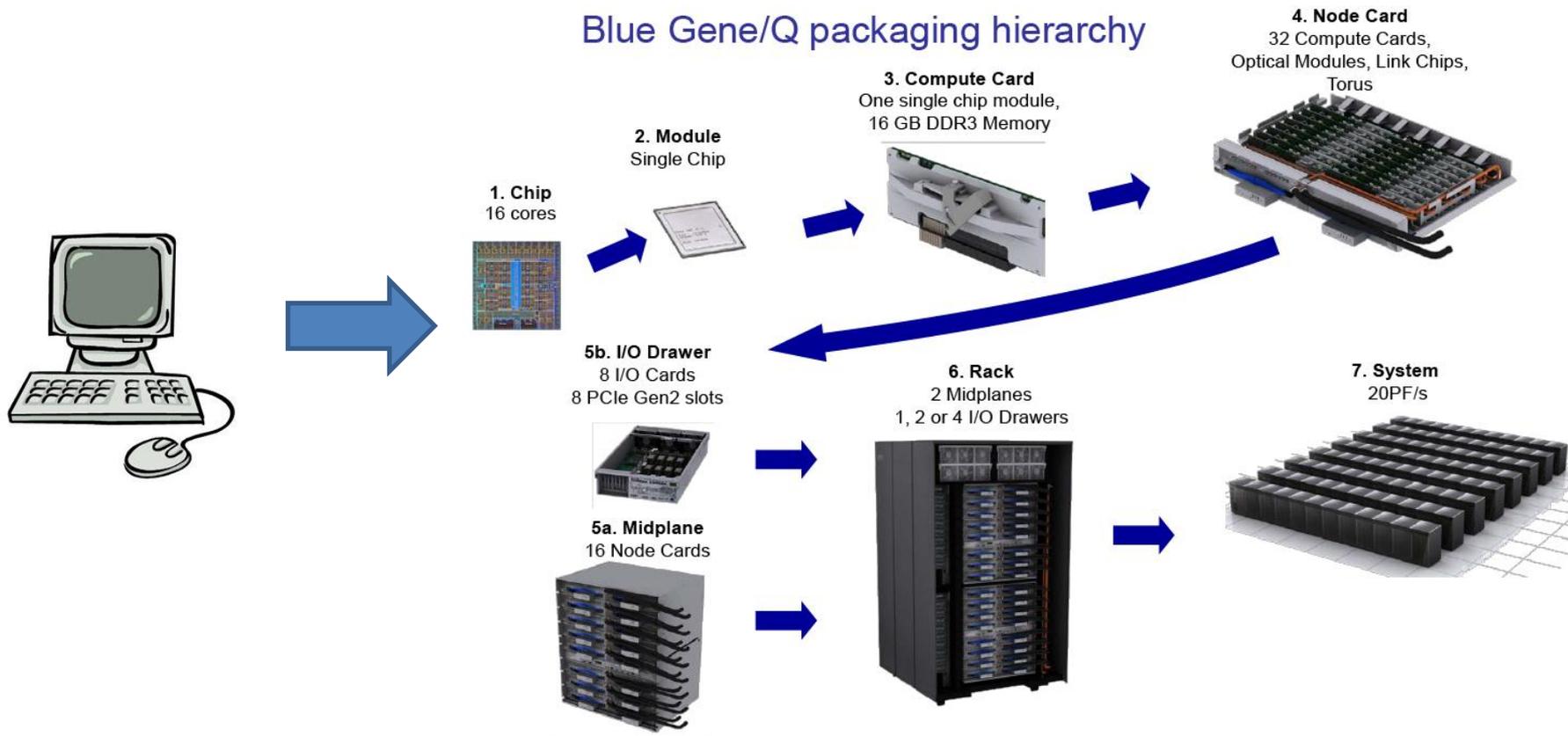
*Ларри Эллисон (Oracle)*

# Формирование идеи

## Modelling the Climate System



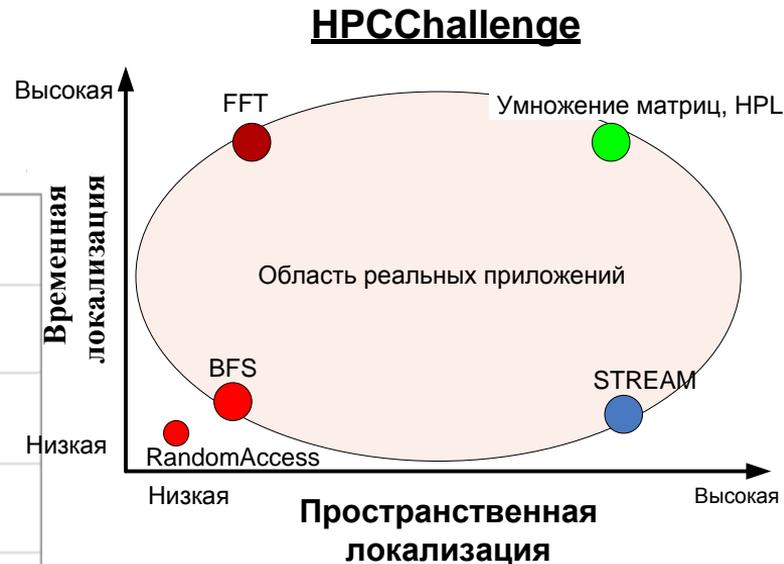
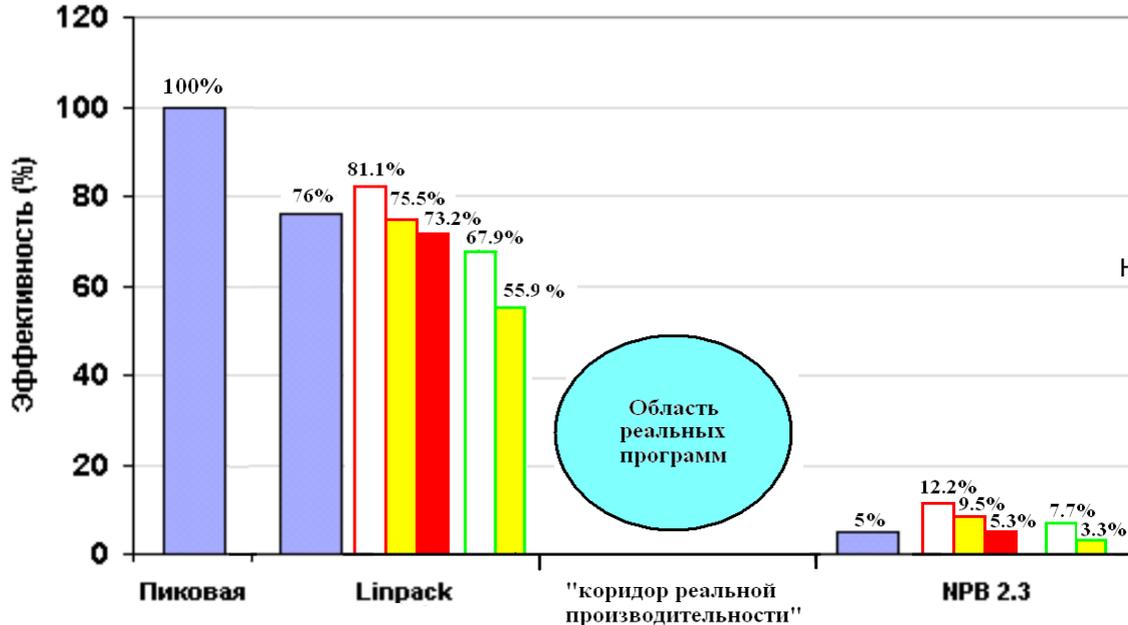
## Blue Gene/Q packaging hierarchy



- - 640 процессоров Cray T3E
- - один процессор MBC-1000M
- - один процессор ТКС-40
- - 64 процессора MBC-1000M
- - 64 процессора ТКС-40
- - 256 процессоров MBC-1000M

ТКС-40 (EC-1710.03) - 72xPentium 4, 2.8 ГГц, сеть SCI, 2003 год

MBC-1000M - 756xAlpha 21264, 0.667 ГГц, сеть Myrinet, 2001-2002



**CRAY** The Supercomputer Company

### Cray's Family of Supercomputers



Cray X1

- 1 to 50+ TFLOPS
- 4 – 4,069 processors
- Vector processor for uncompromised sustained performance



Cray XT3

- 1 to 50+ TFLOPS
- 256 – 10,000+ processors
- Compute system for large-scale sustained performance



Cray XD1

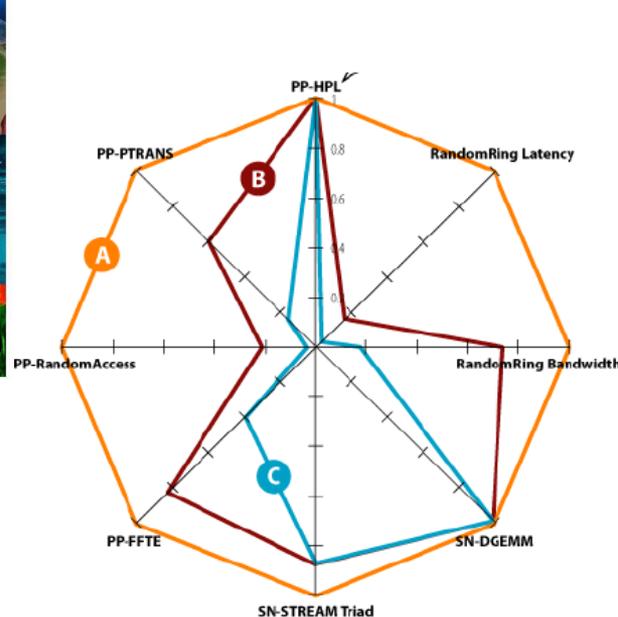
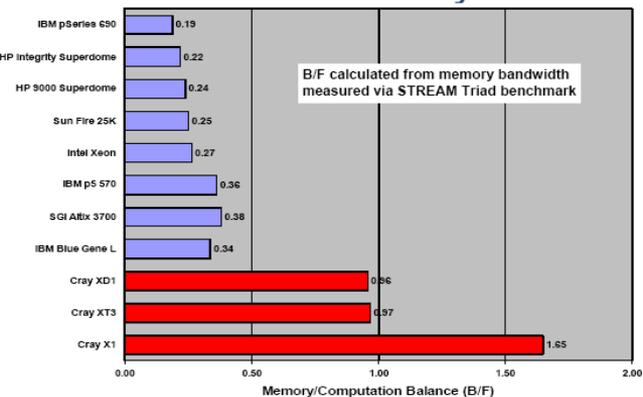
- 48 GFLOPS - 2+ TFLOPS
- 12 – 288+ processors
- Entry/Mid range system optimized for sustained performance

Direct Connect Processor Systems  
Purpose-Built High Performance Computers

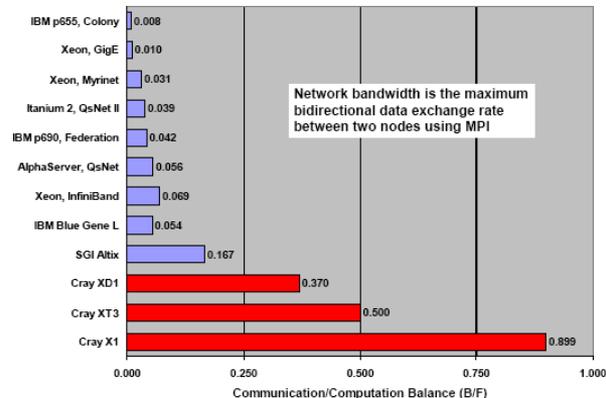
Dennis Abts, Cray Inc.

2

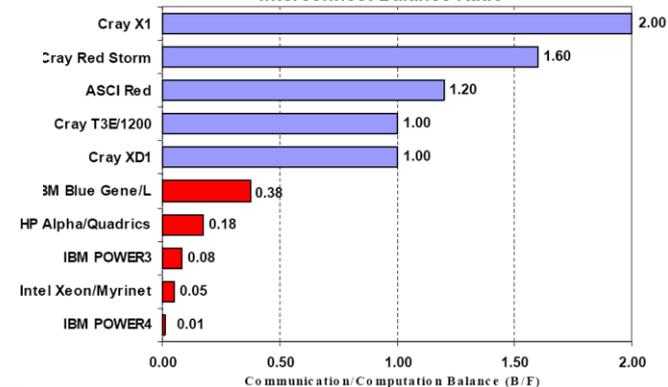
### Measured Memory Balance



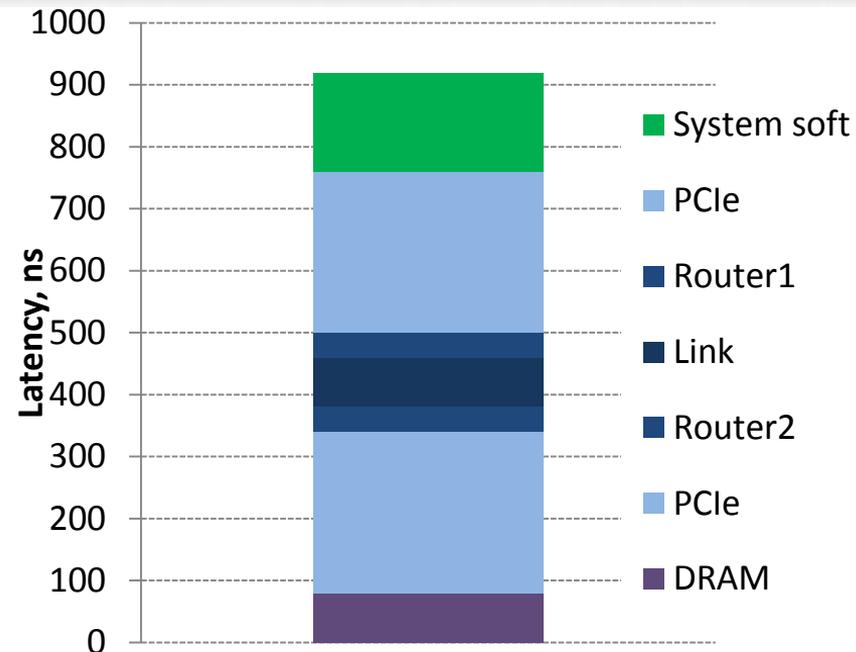
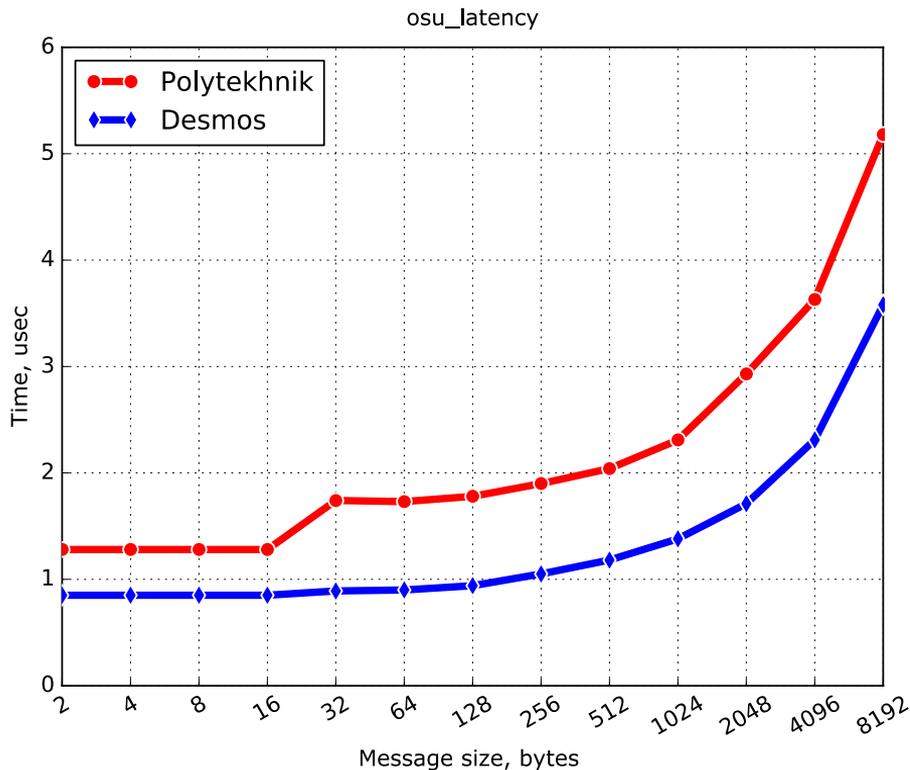
### Measured Network Balance



### Interconnect Balance Ratio

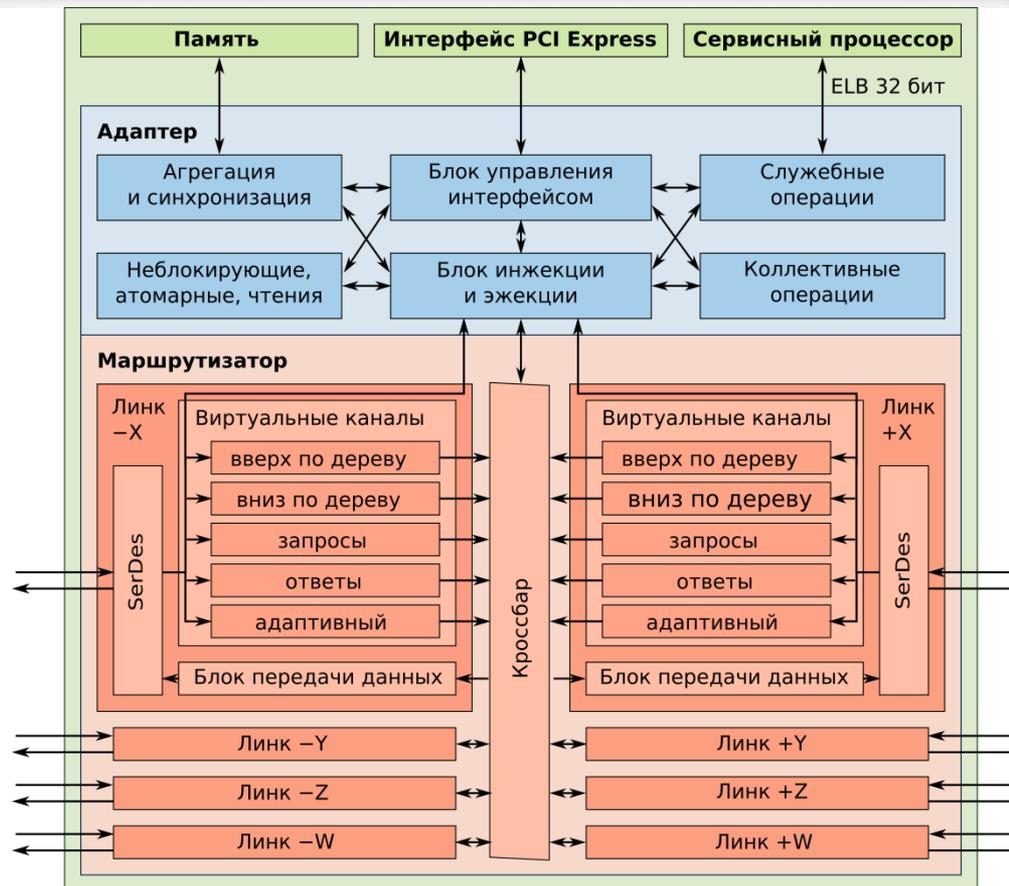


- Задержка передачи сообщений
- Пропускная способность
- Темп выдачи сообщений
- Бисекционная пропускная способность
  
- Топология
- RDMA

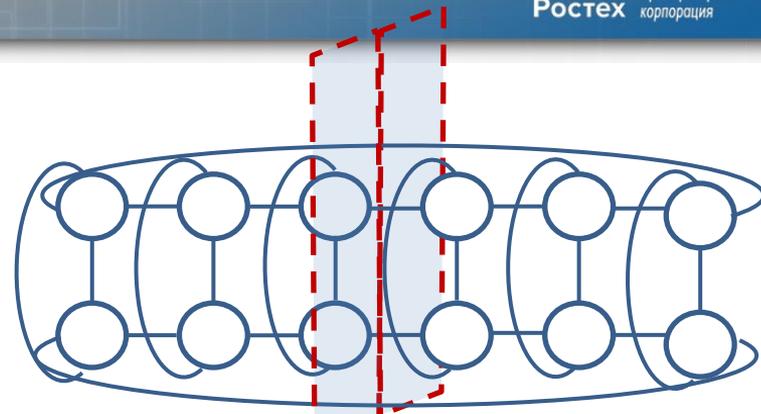


$$t_{comm} = t_{start} + d * t_{hop} + size * t_{bw}$$

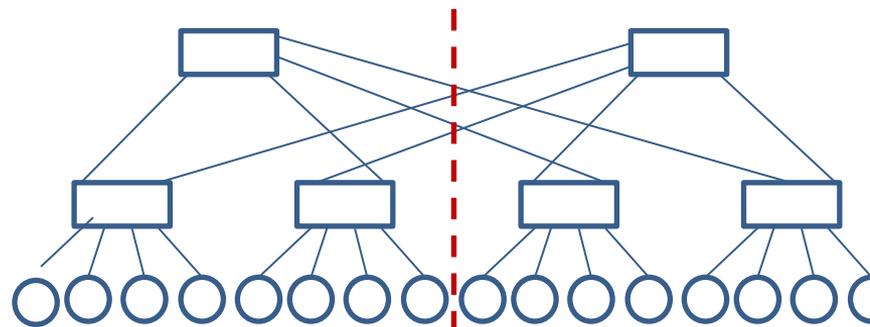
- $MessageRate = BW(L) / L$
- $L$  – размер сообщений
- $B$  – пропускная способность линка
- $MessageRate < L/B$



- **Бисекционная плоскость** – минимальный разрез, который разделяет сеть на две равные связанные части
- Бисекционная пропускная способность – пропускная способность каналов связи через бисекционную плоскость
- В случае равномерных случайных посылок (all-to-all) каждый узел посылает сообщение через бисекционную плоскость с вероятностью  $\frac{1}{2}$
- **Посылают все узлы** – для линейной масштабируемости требуется  $N/2$  линков в бисекционной плоскости



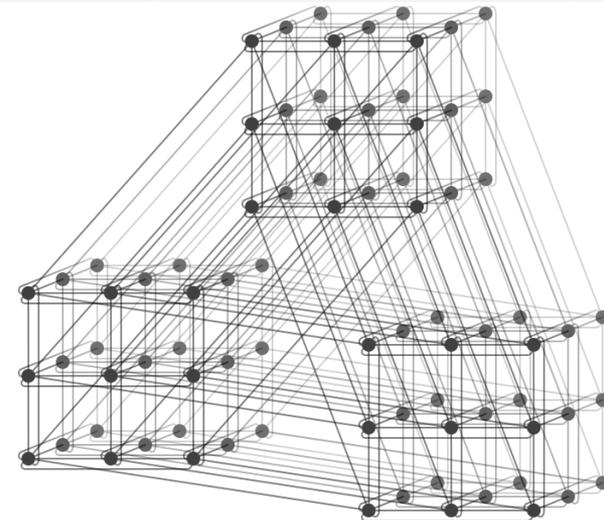
**Бисекция тора =  $2N/N_{\max}$**



**Бисекция жирного дерева  
(half bisection) =  $N/4$**

### 2006 год

- создание и возрождение российской вычислительной техники
- перспектива перекрытия каналов поставок импортной техники
- лучшее продается в Россию только тогда, когда устаревает



- **правильное функционирование**

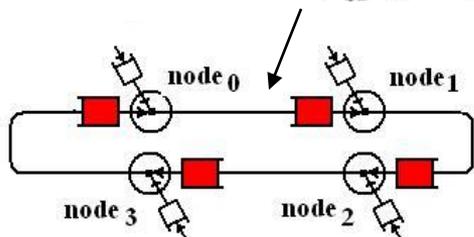
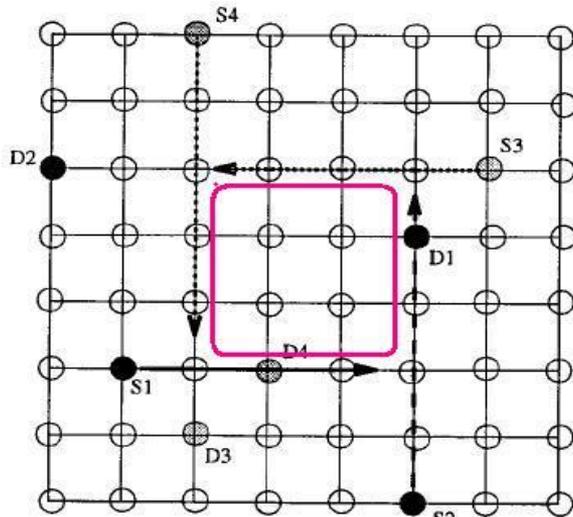
- исключение дедлоков и ливлоков (deadlock & livelock routing);
- обход перегрузки сети (adaptive routing);
- обеспечение отказоустойчивости (fault-tolerance),

- **эффективность**

- низкая *latency* при передачах типа “точка-точка”;
- высокая пропускная способность сети, *throughput*, для разных профилей взаимодействий типа “коллективных”, например:
  - полностью случайный,
  - бисекционный,
  - барьерный (синхронизация типа barrier и eurica),
  - reduce / broadcast / all-to-all,
  - специфические (shuffle, bit-wise ...)

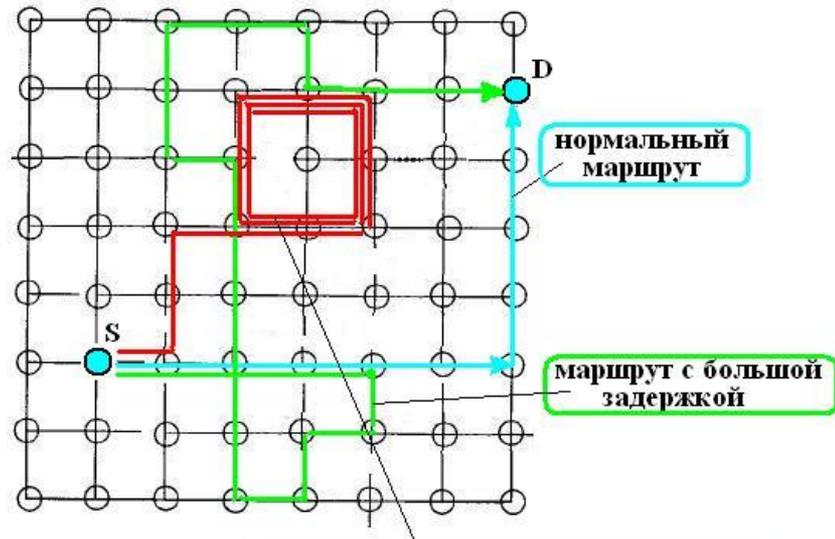
# Анализ зарубежного опыта

### Дедлоки



- означает, что буфер полностью заполнен

### Ливлоки



нормальный маршрут

маршрут с большой задержкой

ЛИВЛОК, ПАКЕТ ВСЕ ВРЕМЯ ПРОДВИГАЕТСЯ, НО НИКОГДА НЕ ПОПАДЕТ К АДРЕСАТУ

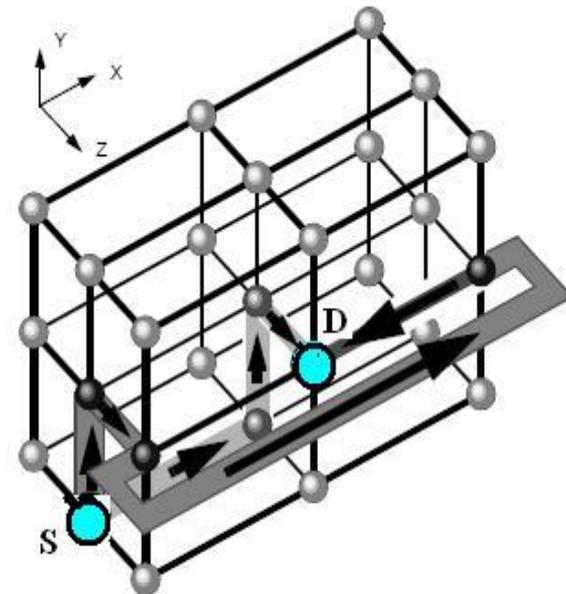
## Преодоление дедлоков

**dimension order routing** – сначала строго по X, потом – по Y, потом – по Z

## Преодоление ливлоков

минимальная маршрутизация

Адаптивная маршрутизация – обход перегруженных участков сети

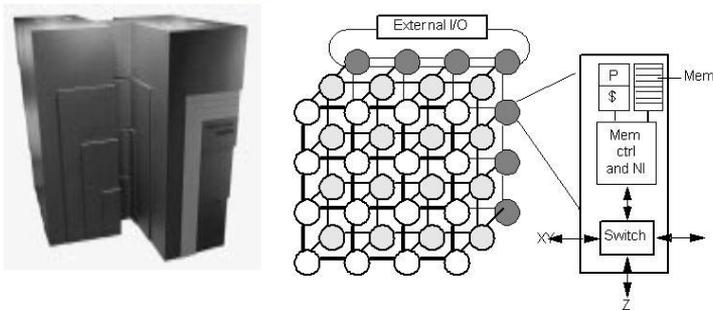


**overall order** : +X, +Y, +Z, -X, -Y, -Z

Preferred Route  (+X, +Y, +Z)

One Alternate Route  (-X, +Y, +Z)

### Example: Cray T3E

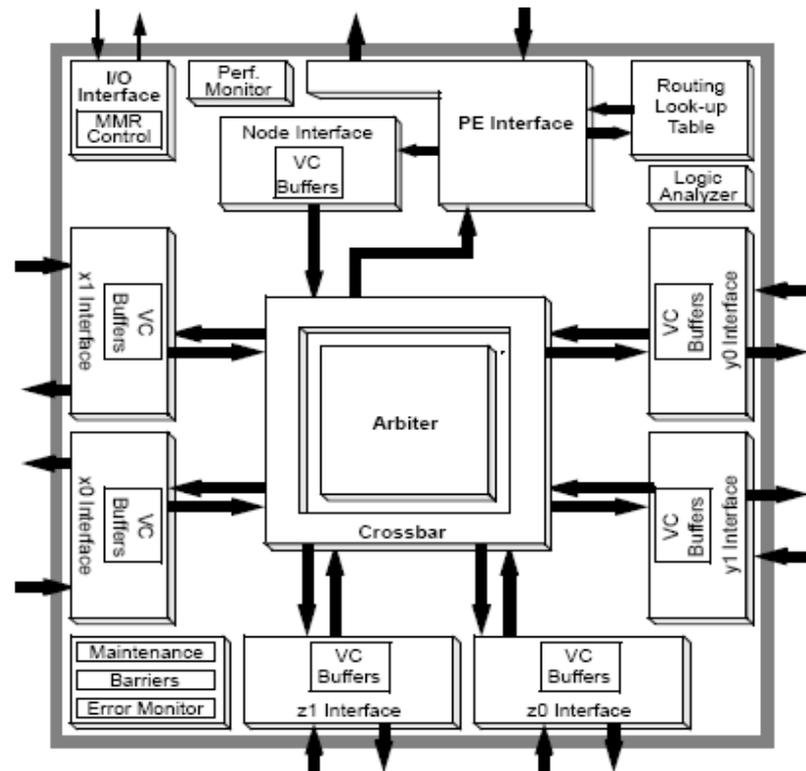


- Scale up to 1024 processors, 480MB/s links
- Memory controller generates comm. request for nonlocal references
- No hardware mechanism for coherence (SGI Origin etc.)

Copyright © (do not provide this)  
Cavium University  
Program

1-8

KICS, UET

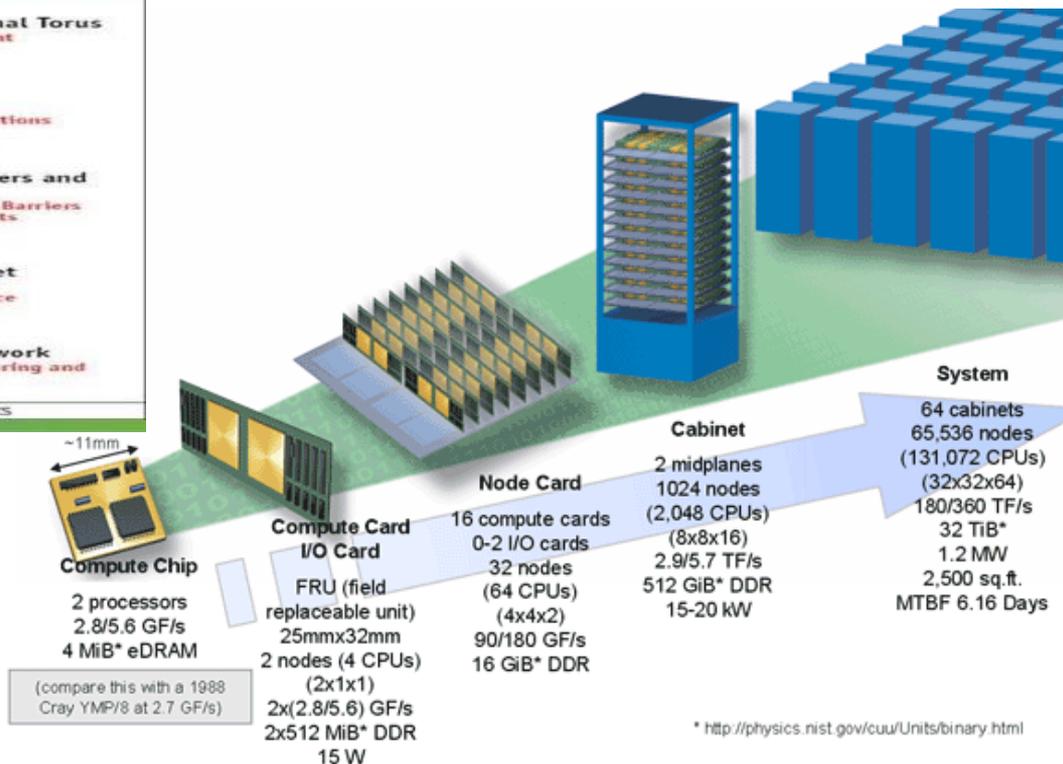


## Interconnection Network

- 3D Torus
- Global tree
- Global interrupts
- Ethernet
- Control



FIGURE 3 BLUE GENE/L NETWORKS



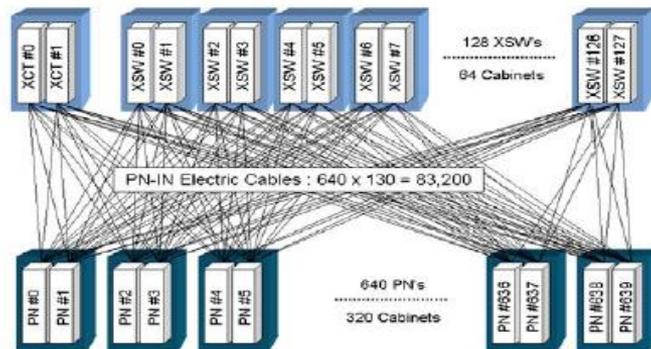


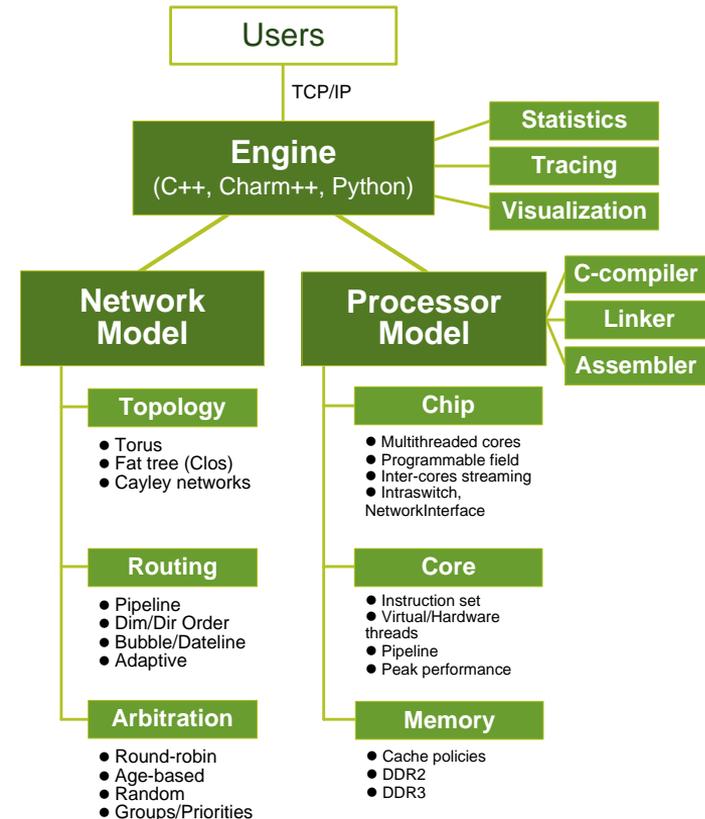
Figure 2.5. Connection between Cabinets (Courtesy JAMSTEC)

## Выводы:

1. Посмотрев по сторонам можно избежать многих ошибок, уже совершенных до вас
2. Зарубежные научные группы достаточно открыты, но информации, как правило, оказывается недостаточно
3. Важно не просто разобраться, как это сделано, а понять **почему** сделано именно так

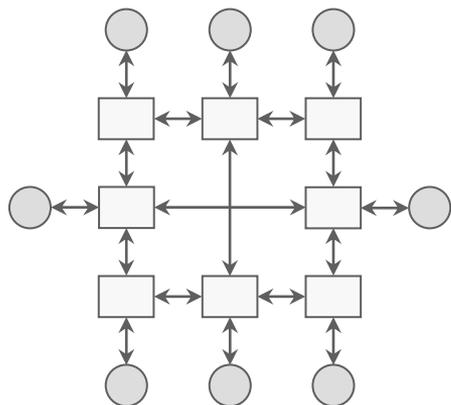
# Имитационное моделирование

- Потактовая модель на языке Charm++
- Используется:
  - для оценки производительности и верификации разрабатываемой в АО «НИЦЭВТ» коммуникационной сети
  - для исследования новых архитектур
- Масштабирование производительности модели до 256 узлов суперкомпьютера «Ломоносов»



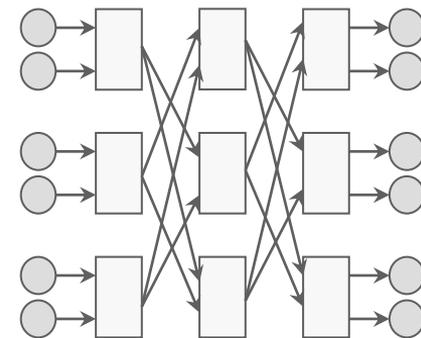
## Коммуникационные сети

### Direct Network



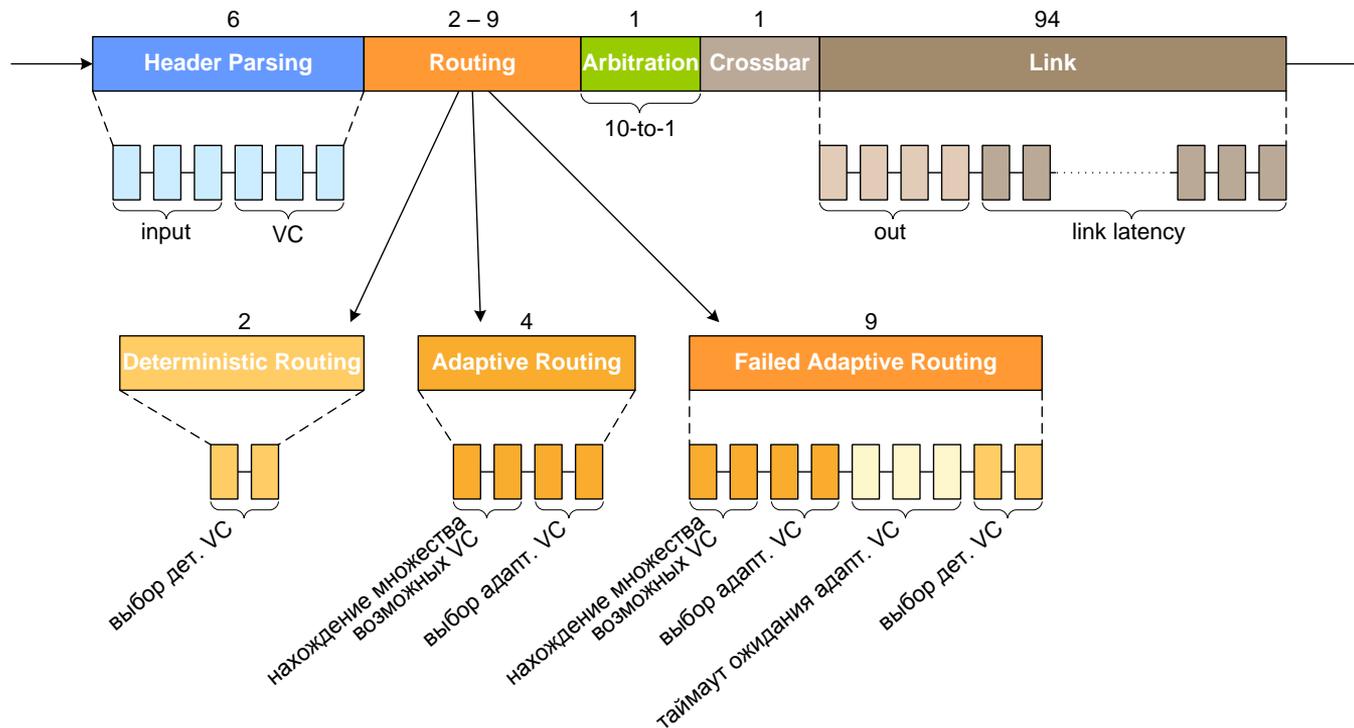
- *Решётка*
- *Тор*
- *Гиперкуб*
- *Сети Кэли*

### Indirect Network

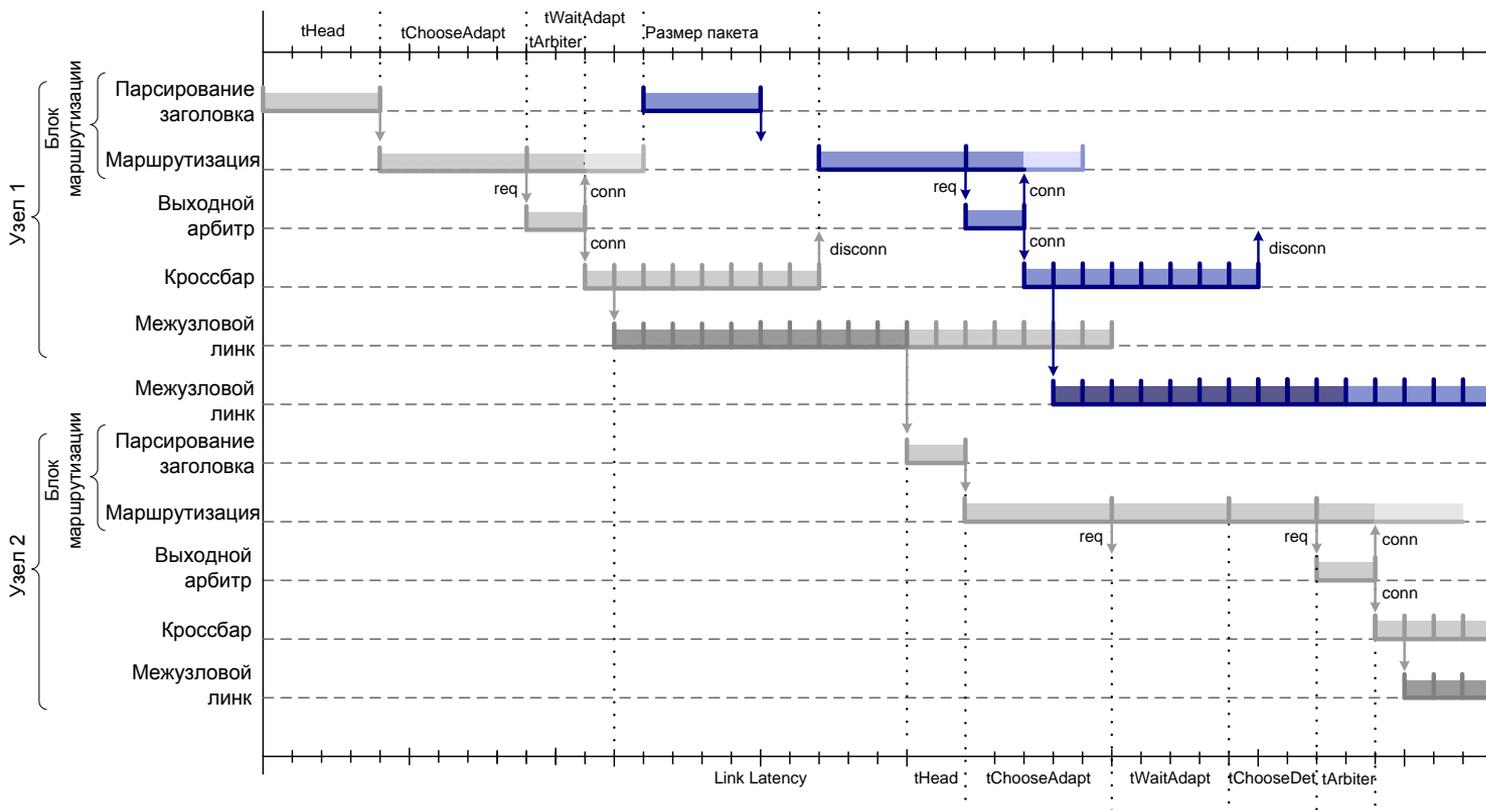


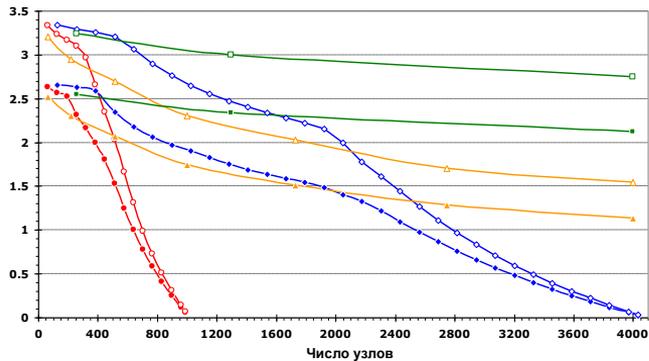
- *Fat Tree*
- *Сети Клоса*

### Стадии маршрутизации

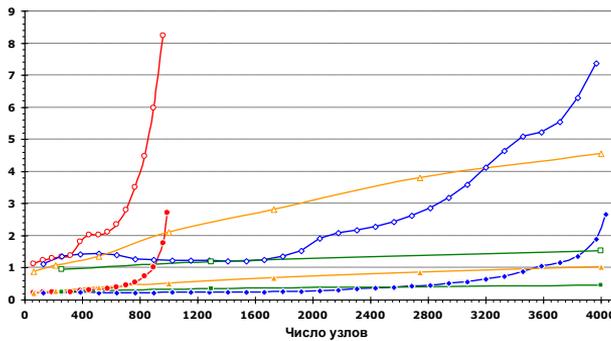


### Временная диаграмма передачи адаптивного пакета

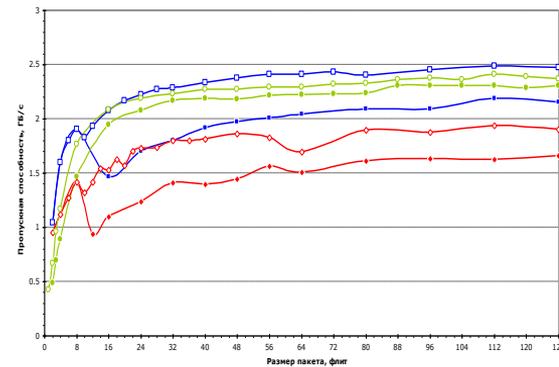




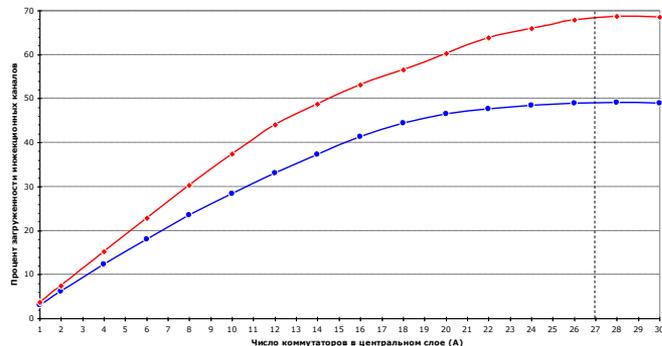
— Трихстадийная сеть Клоса (32 порта, короткие пакеты)    — Трихстадийная сеть Клоса (32 порта, длинные пакеты)  
 — Трихстадийная сеть Клоса (64 порта, короткие пакеты)    — Трихстадийная сеть Клоса (64 порта, длинные пакеты)  
 — Трихмерный тор (короткие пакеты)    — Трихмерный тор (длинные пакеты)  
 — Четырёхмерный тор (короткие пакеты)    — Четырёхмерный тор (длинные пакеты)



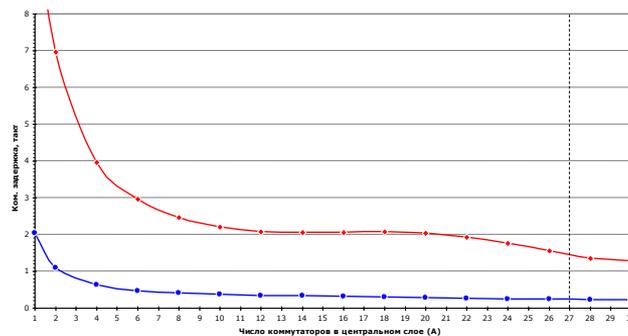
— Трихстадийная сеть Клоса (32 порта, короткие пакеты)    — Трихстадийная сеть Клоса (32 порта, длинные пакеты)  
 — Трихстадийная сеть Клоса (64 порта, короткие пакеты)    — Трихстадийная сеть Клоса (64 порта, длинные пакеты)  
 — Трихмерный тор (короткие пакеты)    — Трихмерный тор (длинные пакеты)  
 — Четырёхмерный тор (короткие пакеты)    — Четырёхмерный тор (длинные пакеты)



— Сеть Клоса 6x12x12 [2x]    — Тор 6x12x12 [2x]    — Сеть Клоса (14,64,20) [2x]  
 — Сеть Клоса 6x12x12 [3x]    — Тор 6x12x12 [3x]    — Сеть Клоса (14,64,20) [3x]

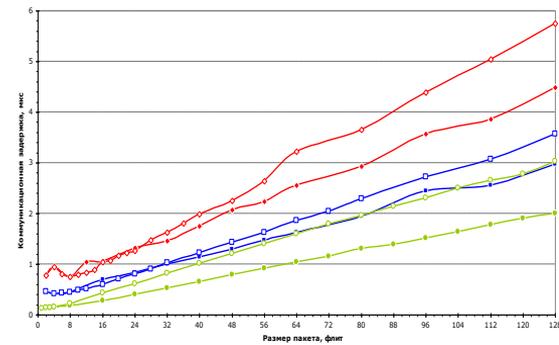


— Клос (14,64,A) [5]    — Клос (14,64,A) [L]



Число коммутаторов в центральном слое (A)

— Клос (14,64,A) [5]    — Клос (14,64,A) [L]



— Сеть Клоса 6x12x12 [2x]    — Тор 6x12x12 [2x]    — Сеть Клоса (14,64,20) [2x]  
 — Сеть Клоса 6x12x12 [3x]    — Тор 6x12x12 [3x]    — Сеть Клоса (14,64,20) [3x]

## **Выводы:**

1. Сложность современных систем столь велика, что их создание «с нуля» - нетривиальная задача, которую нельзя решить устаревшими методами
2. Моделирование позволяет глубже понять тонкости работы системы, оценить различные аспекты взаимодействия составных частей
3. Хорошо спроектированная система моделирования позволяет оценить характеристики системы до ее создания, выявить и устранить «узкие» места
4. В идеальном случае имитационная модель должна стать эталонной моделью в системе верификации

# Спецификация

## Что требовалось

- По аппаратуре:
  - Общая структурная схема со связями
  - Описание функциональных возможностей блоков, в т.ч. алгоритмы работы, диаграммы состояний управляющих автоматов и пр.
  - Требования к интерфейсам между блоками
- По программному обеспечению:
  - Программная модель (перечень программно доступных ресурсов с описанием порядка доступа, управляющих значений и пр.)
  - Требования по реализации, стек ПО, временные параметры и пр.

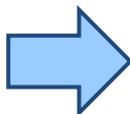
## Программисты

Прикладные программисты

Системные программисты

Архитекторы:

1. Различные виды операций
2. Коллективные операции
3. Синхронизация
4. Виртуализация
5. Быстро



## Главный конструктор



Содержание 26.10.2012

### Спецификация сети Тогоно А1

версия от 10.02.2012  
(выпущена 26.10.2012)

#### Содержание

1. О данном документе	3
1.1. Структура документа	3
1.2. Ссылки на другие документы	3
1.3. Открытые вопросы	3
1.4. Вопросы для исследования	4
1.5. Термины и сокращения	4
2. Требования по функциональности	5
2.1. Требования к сети в целом	5
2.2. Требования к интерфейсу с системой	5
2.2.1. Интерфейс подключения к CPU	5
2.2.2. Формирование сообщений	5
2.2.3. Адресация узлов	5
2.2.4. Адресация пакетов	5
2.2.5. Адресные пространства (VLAN)	6
2.2.5.1. Регистровый файл	6
2.2.5.2. Коллективные буферы	6
2.2.6. Режим конфигурирования, частичный сброс	7
2.3. Требования по поддержке сетевых операций точка-точка	7
2.3.1. Односторонние записи	7
2.3.2. Односторонние чтения	8
2.3.3. Полноценные автоматные операции	8
2.3.4. Автоматные операции с возвратом значения	8
2.4. Требования по поддержке сетевых коллективных операций	8
2.4.1. Задачи, группы	8
2.4.2. Broadcast	9
2.4.3. Выборы	9
2.5. Требования по поддержке сетевых операций синхронизации	10
2.5.1. Финиш	10
2.5.2. Файл	10
2.5.3. Барьер для операций точка-точка	10
2.5.4. Барьер для коллективных операций	10
2.6. Форм-факторы, размещение и кодировка	10
2.7. Требования к аппаратным средствам	10
2.8. Требования по поддержке механизмов отладки	11
2.8.1. Взаимодействие с верификатором через JTAG	11
3. Требования по производительности	12
3.1. Требования к идеальным характеристикам	12
3.2. Требования к реальным характеристикам	12
3.3. Общие соображения по отладке	12

## Аппаратчики

Эксплуатанты

Верификаторы

Разработчики:

1. Тогда придется увеличить пакет
2. Тогда придется отказаться от большого числа процессов
3. Мы не уложимся в план
4. Это технически нереализуемо



## Выводы:

1. Создание спецификации нельзя доверять какой-то одной группе инженеров, необходимо создавать совместную группу из инженеров разных специальностей (аппаратчиков, программистов, верификаторов, системщиков, прикладников, эксплуатантов...)
2. Спецификация – это всегда баланс противоречивых требований, при этом важно выделить один или несколько ключевых параметров, определяющих конечные характеристики продукта, и вытягивать именно их, остальные параметры должны уйти в ограничения
3. Найти оптимальный баланс между интересами различных групп специалистов - ключевая задача главного конструктора

Самый главный вывод:

*«Никогда не позволяйте изобретателю управлять компанией:  
Вы просто не сможете заставить его остановить разработки  
и выпустить продукт на рынок»*

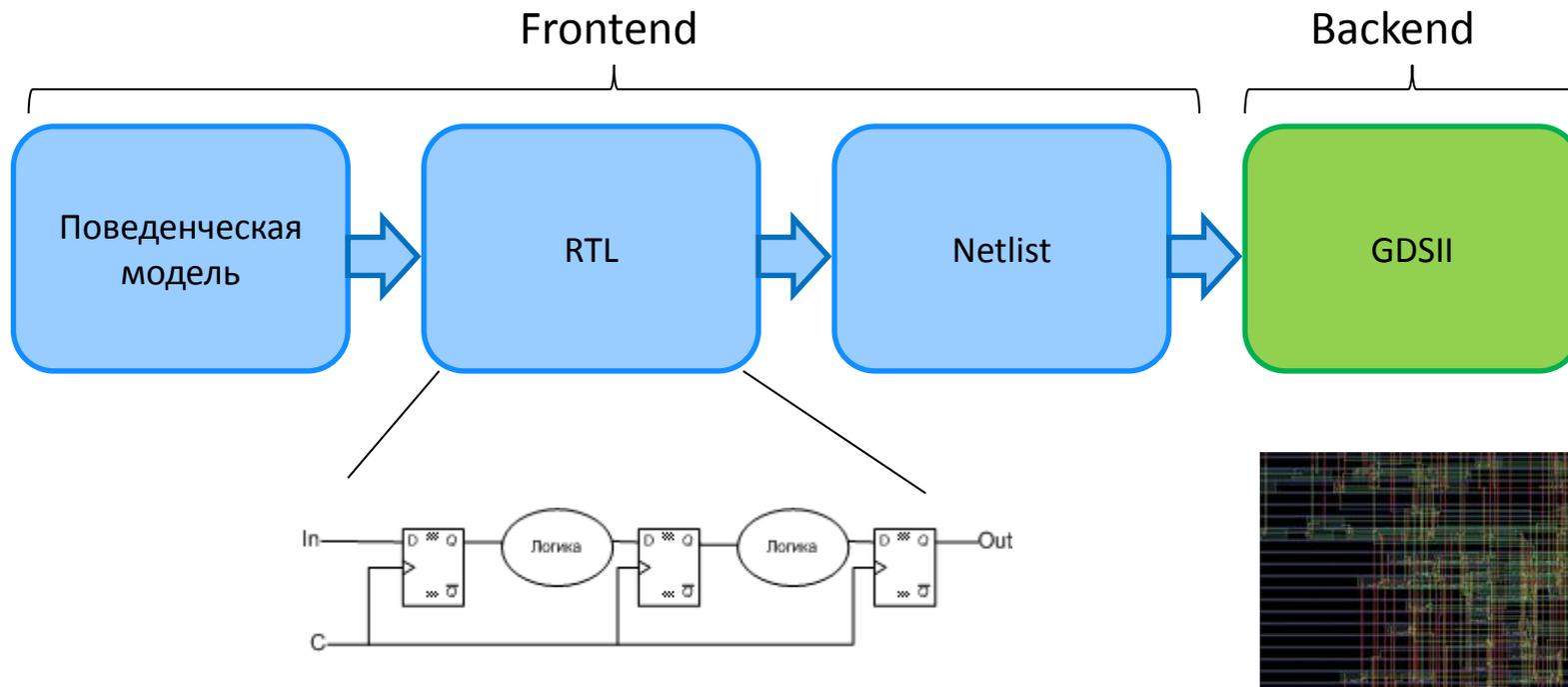
*Роял Лумтл (Textron)*

*«Сделай настолько просто, насколько это возможно, но не проще!»  
Альберт Эйнштейн*

# Разработка



## Разработка электроники сейчас (очень упрощенный flow)



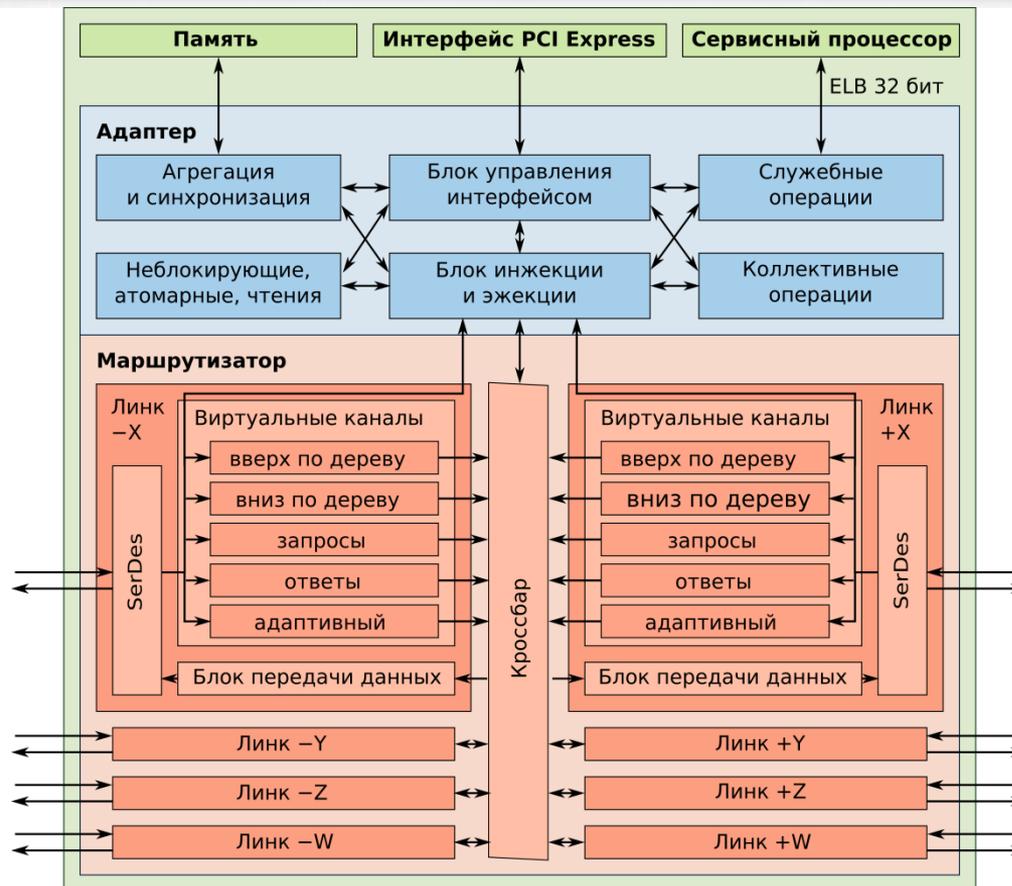
## Исходный текст на уровне RTL:

```
always @ (posedge clk or negedge rst_n) begin
  if(!rst_n) begin
    rrd_rg <= {RGDBW{1'b0}};
  end
  else begin
    if (rrd_inc_en_rg && rrd_dec_en_rg)
      rrd_rg <= rrd_rg + rrd_inc_val_rg - rrd_dec_val_rg;
    else if (rrd_inc_en_rg)
      rrd_rg <= rrd_rg + rrd_inc_val_rg;
    else if (rrd_dec_en_rg)
      rrd_rg <= rrd_rg - rrd_dec_val_rg;
  end
end
end
```

## Наборы IP:

Simulation VIP					Memory Models							Accelerated VIP			
ARM AMBA 5 CHI	ARM AMBA 4 ACE	ARM AMBA AXI 3/4	ARM AMBA AHB	ARM AMBA 4 Stream	Cellular SRAM	Compact FLASH	DDR DIMM	DDR SDRAM	DDR Sync GFX RAM	DDR Sync RAM	ARM AMBA 5 CHI*	ARM AMBA 4 ACE	ARM AMBA AXI 3/4	ARM AMBA AHB	
CAN	Display Port	Ethernet 10/100 1G/10G	Ethernet 25G/50G	Ethernet 40G/100G	DDR2	DDR3	DDR4 Incl. 3DS	DDR4 LRDIMM	DDR4 SDRAM	Delay line	ARM AMBA APB	Ethernet 10/100 1G/10G	Ethernet 25G/50G*	Ethernet 40G/100G	
HDMI 1.4	HDMI 2.0	I2C	JTAG cJTAG	LIN	DFI	Embed. SSRAM	Embed. SSRAM TI	eMMC 4.4	eMMC 4.5	eMMC 5.0	HDMI 1.4	HDMI 2.0*	I2C	I2S	
MHL 3.0	MIPI CSI-2	MIPI CSI-3	MIPI C-PHY	MIPI DigRF	Enhanced SDRAM	FCRAM	FIFO	FLASH (basic)	FLASH ONFi	Flash ONFi 3/4	Keypad	MIPI CSI-2	MIPI DBI	MIPI DSI	
MIPI D-PHY	MIPI DSI incl. DBI, DPI	MIPI DSI2 incl. DBI, DPI	MIPI LLI 2.0	MIPI M-PHY	FLASH PPN DDR	FLASH Toggle NAND	FLASH Toggle NAND 2	GDDR2	GDDR3	GDDR4	MIPI UniPro*	NVM Express*	PCIe Gen2/3	PCIe SR-IOV*	
MIPI SLIMbus	MIPI Sound Wire	MIPI UniPro	NVM Express	OCPI 2.2	HBM	HMC	LBA NAND	LL DRAM	LPDDR	LPDDR2	SATA 3G/6G Device	SIM Card	USB 2.0 w/ OTG*	USB 3.0 Host*	
OCPI 3.0	PCI	PCIe Gen2	PCIe Gen3	PCIe Gen4	LPDDR3	LPDDR4	LR DIMM	Memory Stick	Memory Stick Pro	NAND FLASH	Productivity Tools <sup>*beta</sup>				
PCIe SR-IOV	PCIe MR-IOV	M-PCIe	PLB 6	SAS 6G	NOR FLASH Spansion	One NAND FLASH	PROM	Pseudo Burst SRAM	QDR SRAM	Rambus DRAM	PureView	Indago Protocol Debug App			
SAS 12G	SATA 6G	SRIO 2.1	SRIO 3.0	UART	Rambus Turbo Mode	Register File	RL DRAM	Scratch pad	SD Card	SD Card 3.0	Interconnect Validator Basic	Interconnect Validator Coherent	Interconnect Workbench		
USB 2.0 w/ OTG	USB 3.0 w/ OTG	USB 3.1 w/ OTG	USB SSIC	Wireless 802.11 MAC	SD Card 4.0	SDIO	Synch DRAM	Synch Mask ROM	Synch RAM NEC	UFS 1.0	TripleCheck Ethernet 40G/100G	TripleCheck MIPI UniPro	TripleCheck PCI Express		
					UFS 2.0	Wide I/O	Wide I/O 2				Assertion-Based VIP				
											ARM AMBA ACE	ARM AMBA AXI	ARM AMBA AHB	DFI	
											OCP	cadence®			

## Микроархитектура:



## **Выводы:**

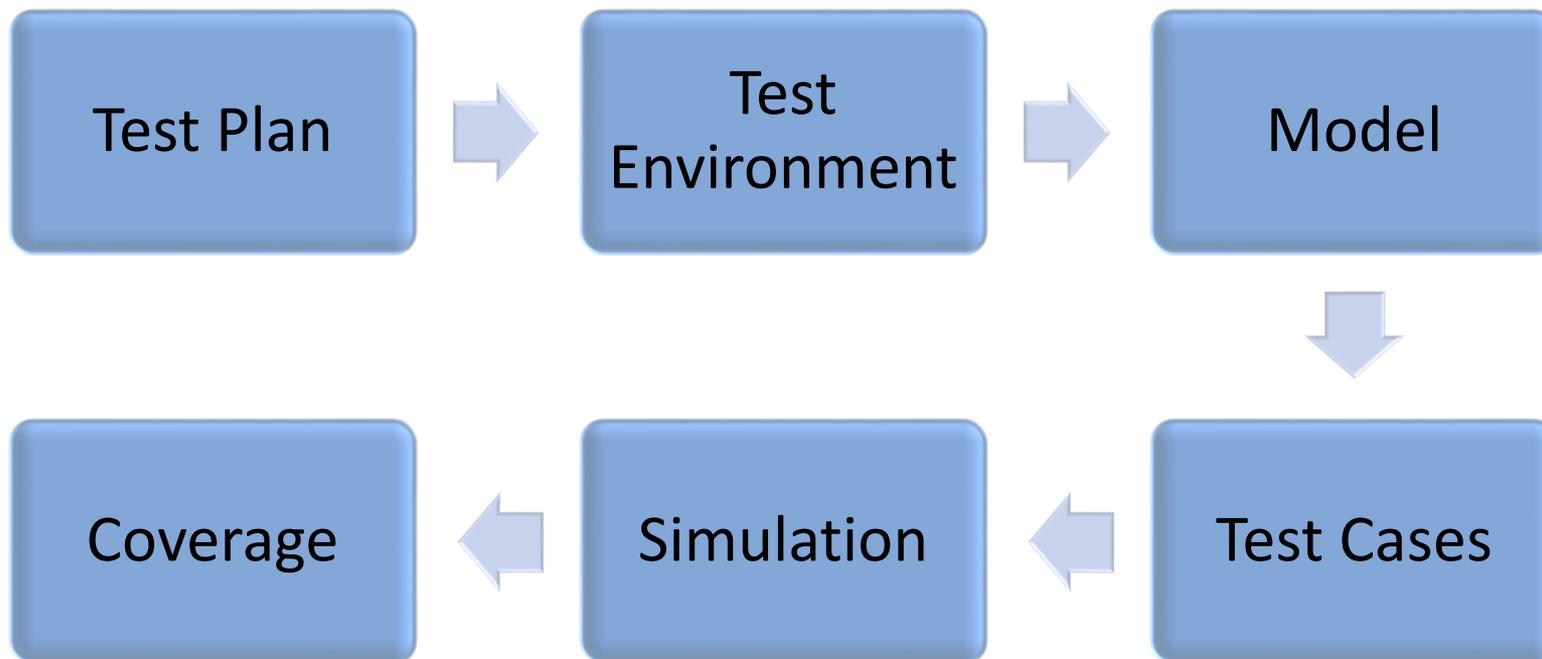
1. Современная аппаратура – это сотни миллионов и миллиарды транзисторов на кристалле
2. Сложность разработки очень высока
3. Там, где уместно – надо применять верифицированные IP-блоки
4. Современный разработчик СБИС – это образование инженера электронной техники, понимание физических процессов, навыки программиста, владение инструментами разработки, симуляции, синтеза, физдизайна, инженерного анализа
5. По возможности, надо повышать уровень абстракции описания и давать как можно больше свободы инструментарию

*«Мне трудно заставить себя думать об ошибках.  
Не то, чтобы я их не делал, просто меня так воспитали:  
смотреть только на светлую сторону жизни»*

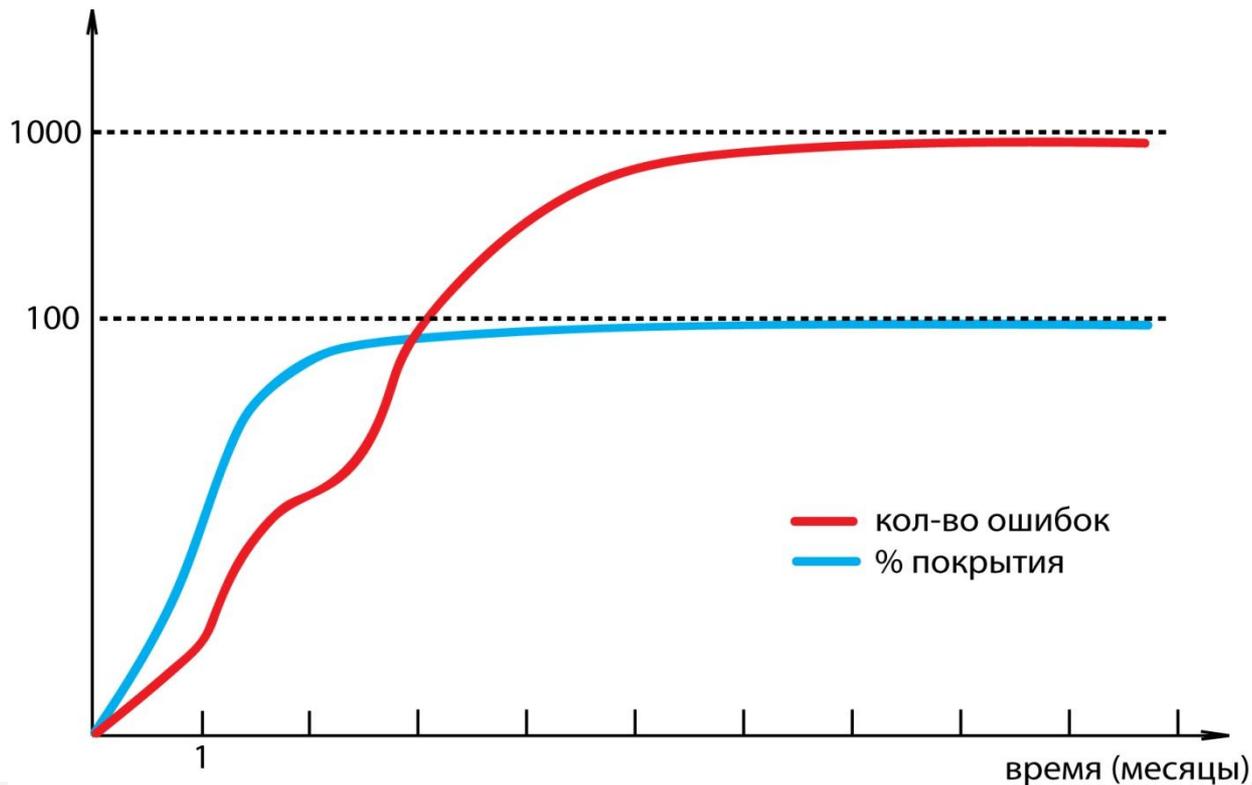
*Ричард Брэнсон*

## Верификация

1. Задачи верификации
2. Цена ошибки
3. Система верификации
4. Методы верификации (ASSERT, Coverage, сравнение)
5. Уровни верификации



## Кривая кол-ва ошибок и покрытия от времени на реальном проекте



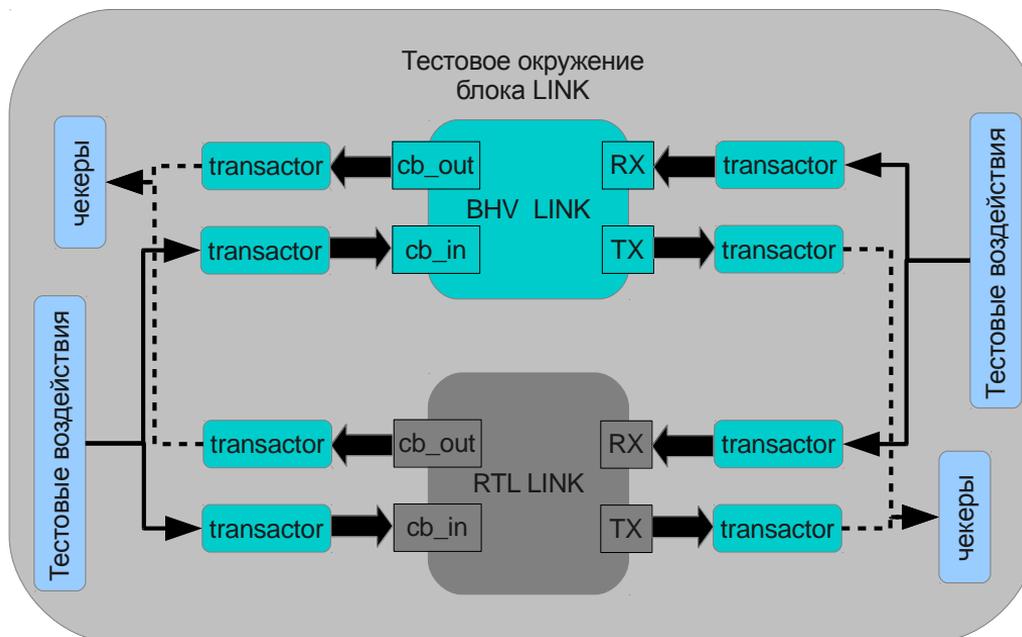
## Coverage

1. Line – каждая ли строка кода была задействована
2. Branch – задействованы ли все ветки переходов
3. Condition – анализ условий переходов
4. Expression – все ли строчки таблицы истинности были задействованы
5. FSM – все ли состояния конечных автоматов были задействованы

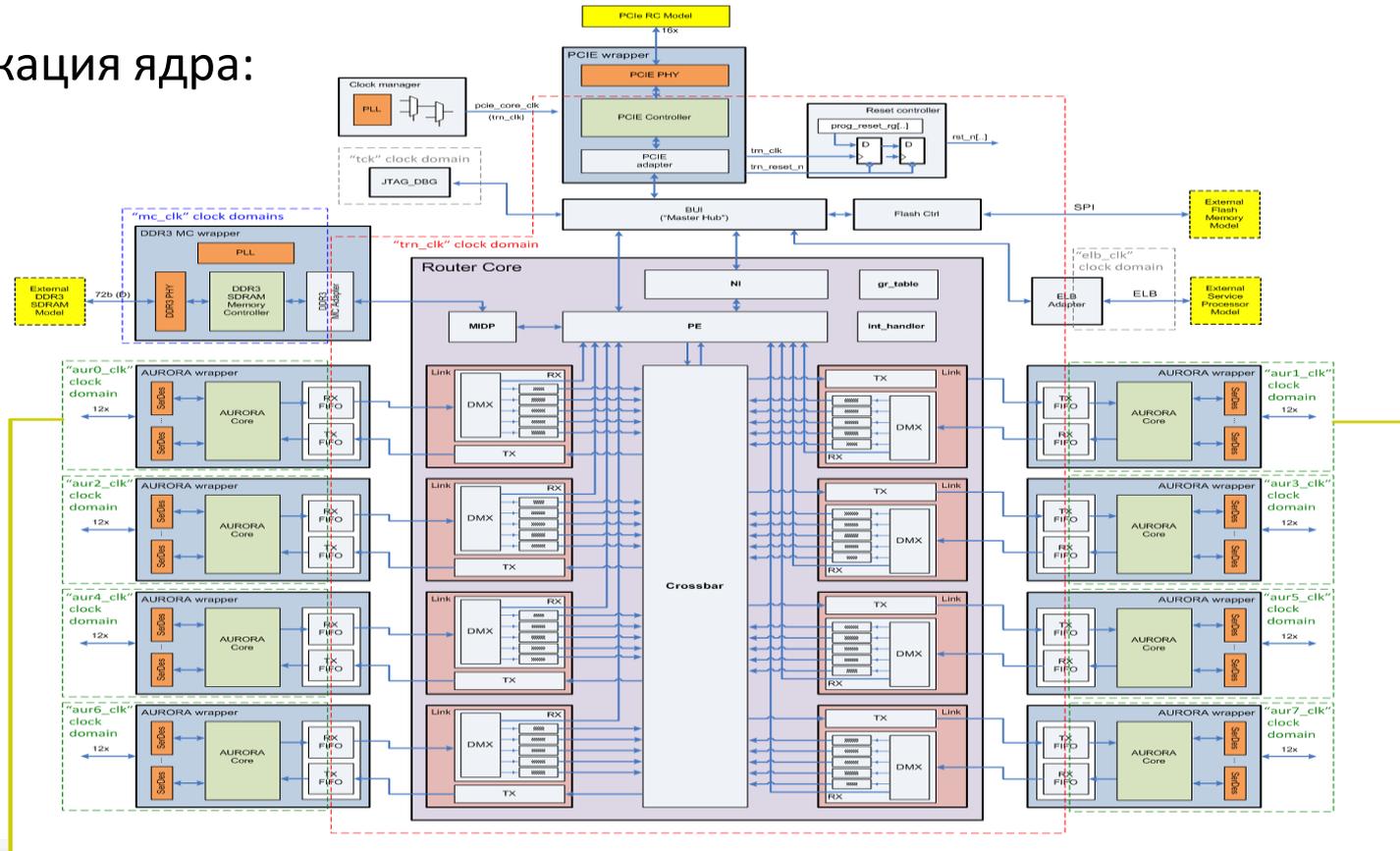
## Уровни верификации:

- Крупные блоки
- Ядро
- Маршрутизатор
- В составе вычислительной системы

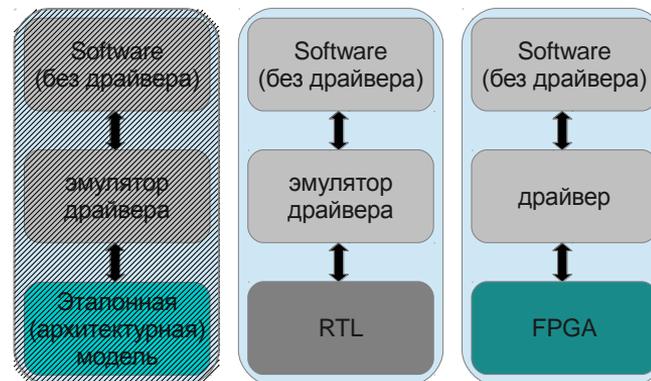
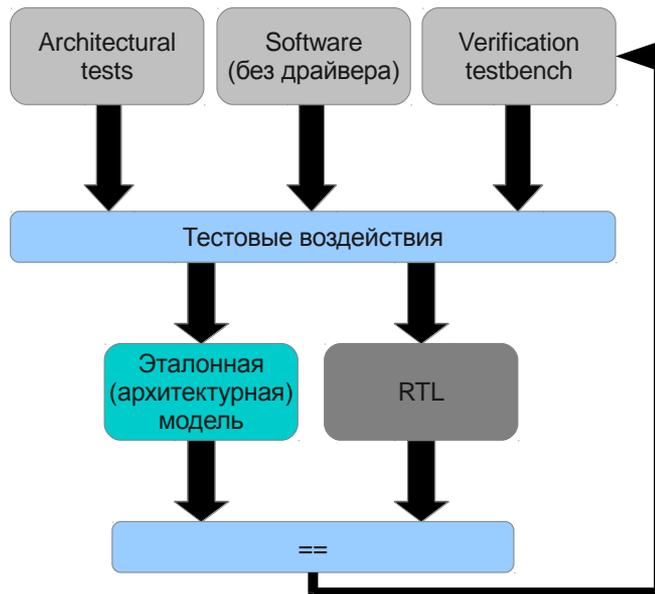
## Верификация на уровне крупных блоков



## Верификация ядра:



## Верификация ядра:



## В составе вычислительной системы:



# Автоматический запуск тестов по изменениям RTL и оценка Coverage (Buildbot):

## Coverage Summary Report, Module-Based

### Top Level Summary

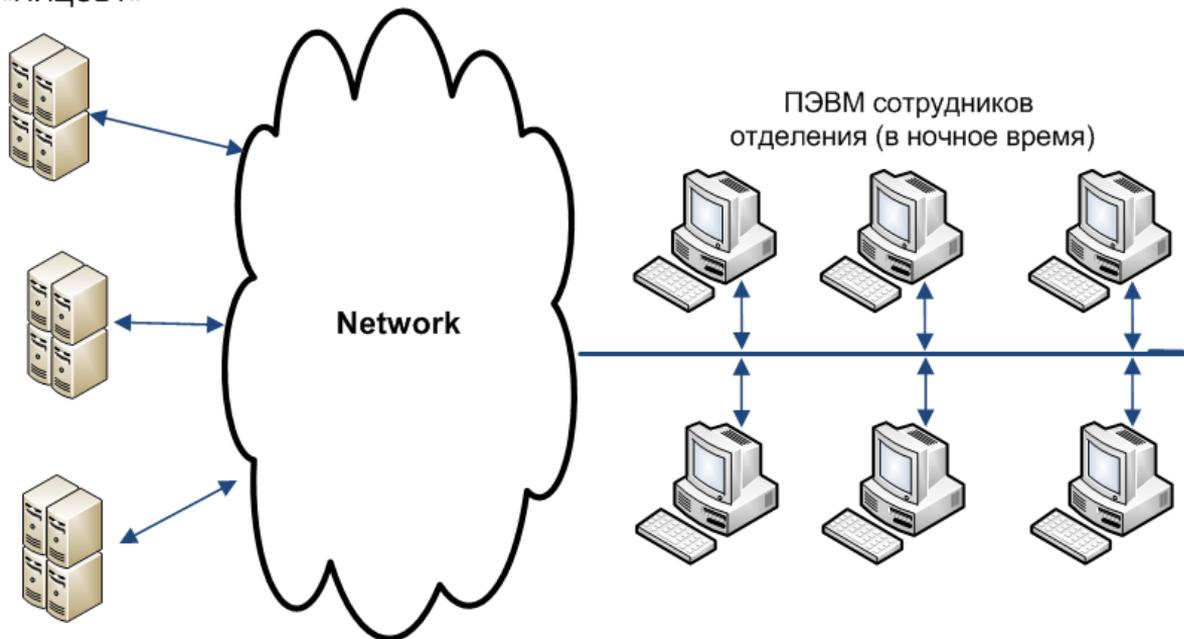
#### Overall Module-Based Coverage

Total	Block	Expression	Toggle	FSM
87%	96% (5945/6164)	89% (926/1045)	72% (102261/141413)	93% (43/46)

#### Coverage Summary Report, Module-Based

Total	Block	Expression	Toggle	FSM	Name
No Items	Not Scored	Not Scored	Not Scored	Not Scored	testbench
No Items	Not Scored	Not Scored	Not Scored	Not Scored	router_top_sc
No Items	Not Scored	Not Scored	Not Scored	Not Scored	router_pll
No Items	Not Scored	Not Scored	Not Scored	Not Scored	router_out
No Items	Not Scored	Not Scored	Not Scored	Not Scored	router_in
89%	No Items	No Items	89% (2592/2900)	No Items	router_top
57%	91% (10/11)	No Items	24% (18/74)	No Items	router_reset_ctrl
78%	No Items	No Items	78% (1250/1605)	No Items	bui
94%	96% (110/114)	No Items	92% (929/1009)	No Items	bui_pcie_rx
82%	87% (139/160)	No Items	78% (2211/2815)	82% (14/17)	bui_pcie_tx
99%	100% (7/7)	No Items	99% (405/406)	No Items	hs_reg_out
59%	40% (2/5)	No Items	78% (1310/1675)	No Items	bui_rti
62%	94% (49/52)	No Items	30% (109/361)	No Items	bui_rti_reg
95%	96% (25/26)	No Items	94% (706/748)	No Items	bui_rti_adec
96%	100% (27/27)	No Items	92% (174/188)	No Items	hs_chan2c_gen

## Вычислительные ресурсы:

Кластеры ВЦ  
ОАО «НИЦЭВТ»

## **Выводы:**

1. Система верификации – важнейший элемент разработки, во многом определяющий её сроки и стоимость
2. Цена ошибки может достигать десятков и сотен миллионов рублей
3. Как бы ни был высок соблазн, как бы не «давило» руководство, не стоит запускать в производство СБИС, если нет уверенности в отсутствии грубых (неустраняемых) ошибок

# Макетирование

## Выводы:

1. Макетирование (FPGA -прототипирование) – важный этап разработки, позволяющий оценить реализуемость системы и работоспособность совместно с ПО
2. Не стоит экономить на ПЛИС, опыт показывает, что ёмкости всегда не хватает

# Проектирование СБИС

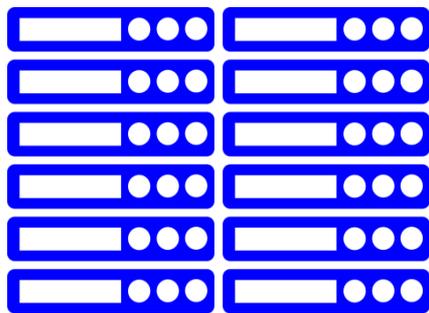
1. Принятые решения по порядку выполнения Backend и о снижении технических рисков
2. Об эффектах, требующих учета при проектировании топологии (SI, PI, TDP)
3. Немного о DFT (Design For Test)
4. Юридические аспекты



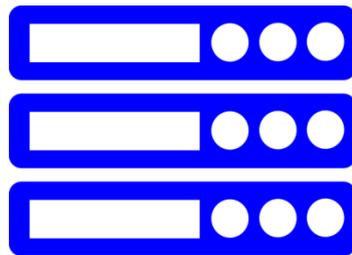
## **Выводы:**

1. Создание заказной СБИС позволяет получить существенный выигрыш по характеристикам и цене
2. Разработка СБИС – очень дорогой процесс
3. Снижение технических рисков приводит к снижению числа перезапусков изготовления СБИС, как следствие позволяет снизить стоимости продукции и сократить сроки разработки
4. Наше достижение - за счет системы верификации получили работоспособную СБИС с первого запуска!

# Сеть Ангара: достигнутые результаты



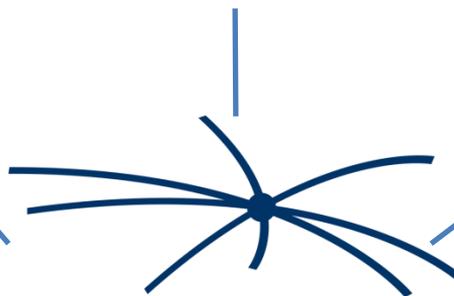
НРС



СХД



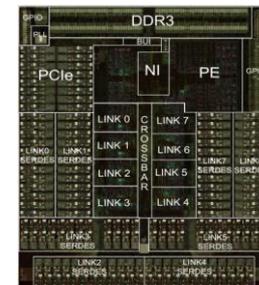
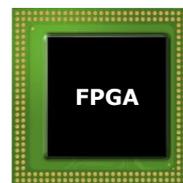
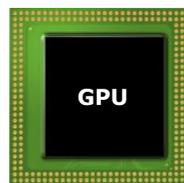
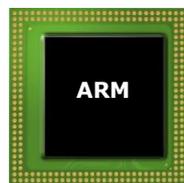
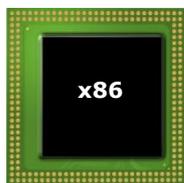
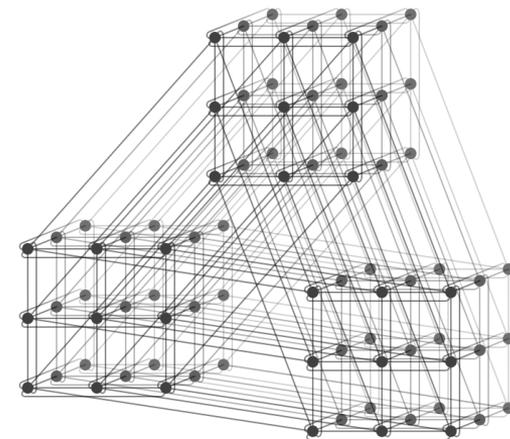
Big Data



**АНГАРА**

**Ключевые особенности:**

- Топология сети: 1D..4D-тор
- Адаптер на базе СБИС (65 нм, АО «НИЦЭВТ»)
- До 8 каналов связи с соседними узлами
- Прямой доступ в память удаленного узла (RDMA)
- Поддержка многоядерности
- Адаптивная передача пакетов
- Задержка на MPI ping-pong: 0,85/ 1,54 мкс (x86/Эльбрус-8С)
- Задержка на хоп: 130 нс
- Масштабирование: до 32К узлов
- Энергопотребление до 20 Вт
- Различные физические среды передачи данных



**1. Высокопроизводительное решение** на базе FHFL адаптера и Samtec кабеля

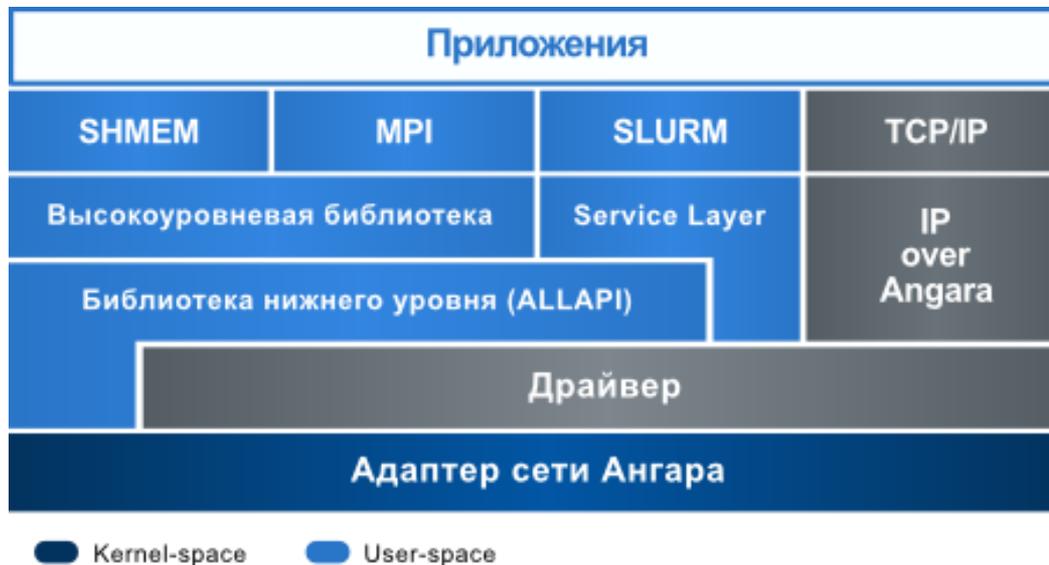


**2. Универсальное решение** на базе 24-портового коммутатора, low-profile адаптера и CXР кабеля



**3. Заказное решение** на базе объединительной платы и оптических кабелей

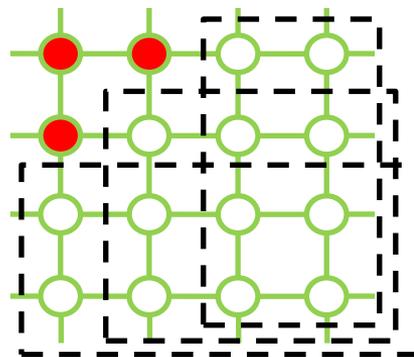




- Поддержка ОС: Astra Linux SE 1.3-1.5, ОС «Эльбрус», OpenSUSE/SLES 11 SP3/4, CentOS 6.0-7.3, версия ядра Linux от 2.6.21 до 3.16.0
- Поддержка компиляторов языков Fortran 77/90/95 (GNU, Intel), C/C++ (GNU, Intel)

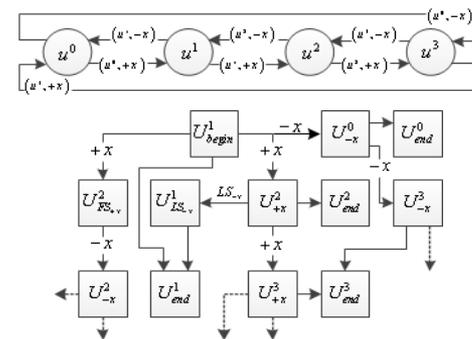
## Плагин для SLURM:

- Добавлена возможность динамического перестроения таблиц маршрутизации
- На 11% увеличена утилизация ресурсов
- На 57% сокращено относительное время ожидания задания в очереди

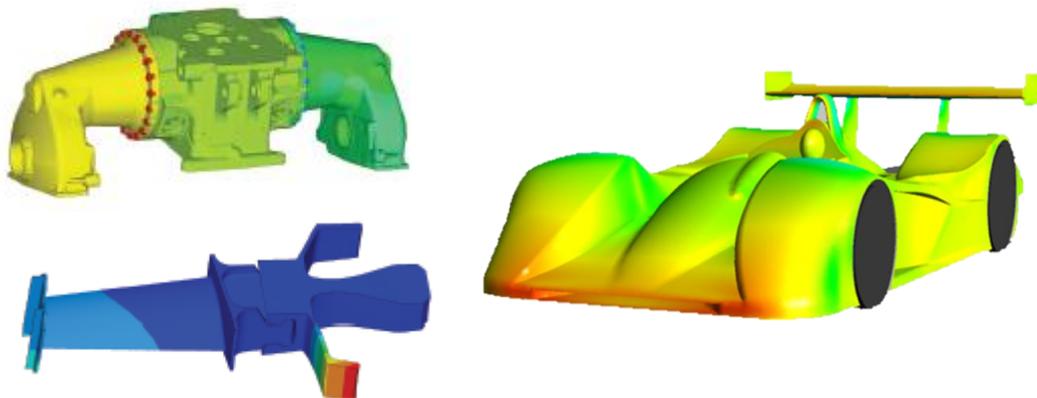


 MSS

Оценка фрагментации



Граф путей для построения сбалансированных таблиц маршрутизации

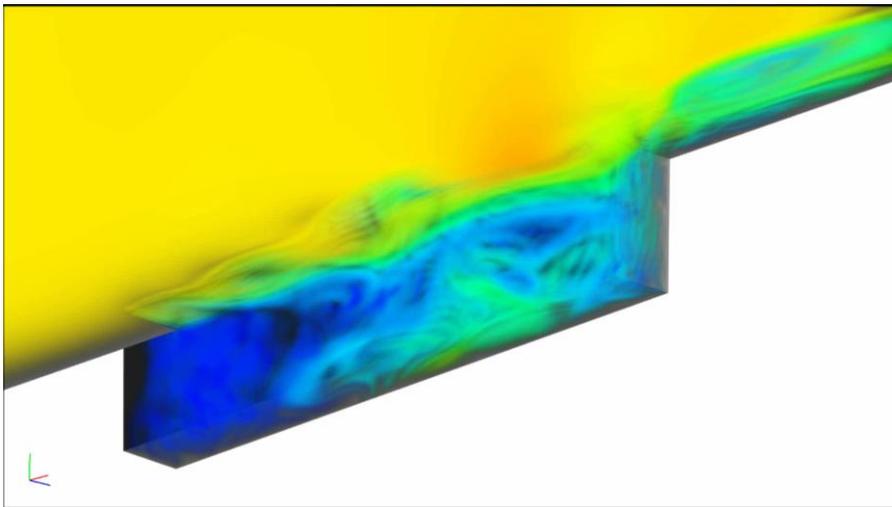


Ю. Новожилов. *Тестирование работы программного обеспечения ANSYS на кластерах с отечественным высокопроизводительным интерконнектом Ангара. Международная конференция Суперкомпьютерные дни в России, 2017.*

Ю. Новожилов. *Работа решателей ANSYS на российском интерконнекте Ангара. XIV конференция пользователей CADFEM/ANSYS, 31 октября, 2017.*

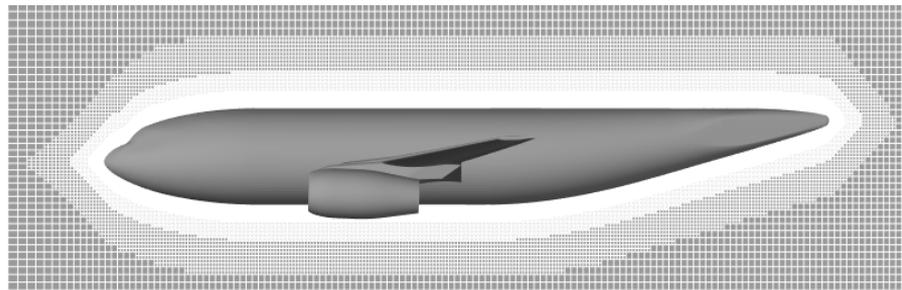
## M219 Cavity case

Обтекание каверны воздухом, 5.5 млн  
ячеек



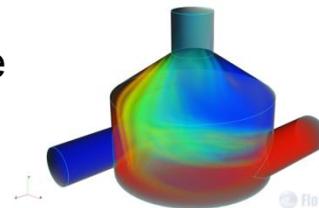
Объемная визуализация скорости

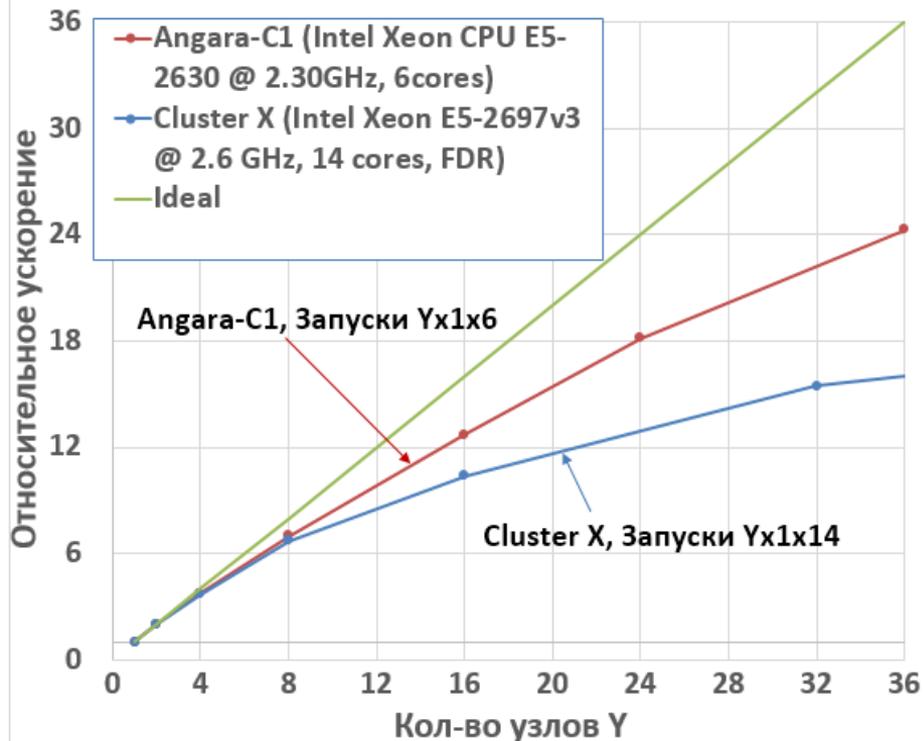
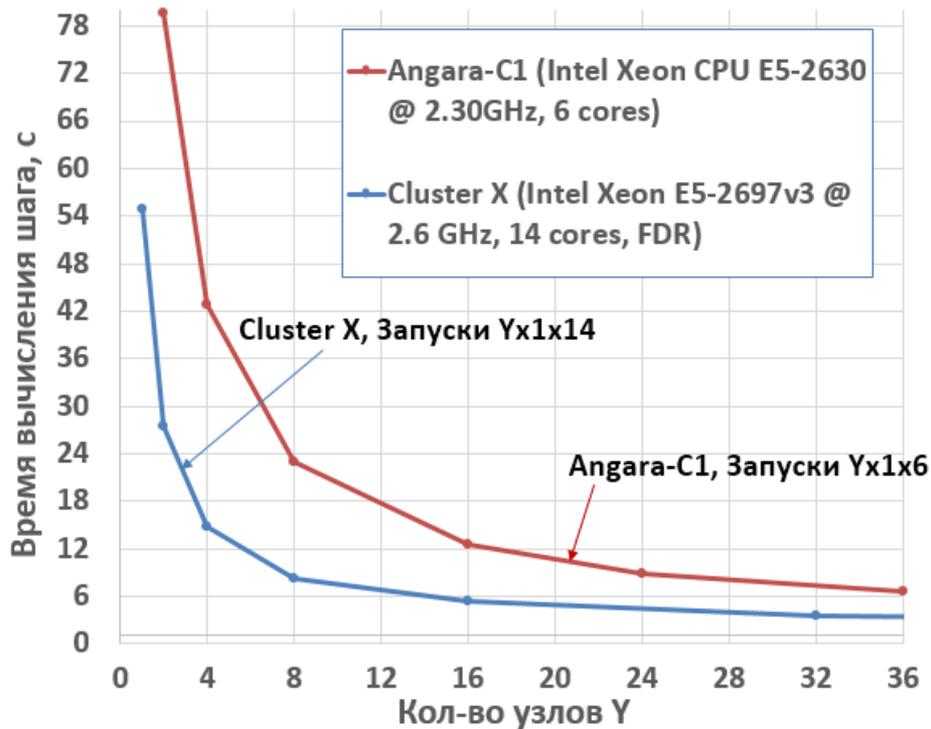
Неоднородная сетка  
Основная – 17.5 млн. ячеек,  
Приповерхностная – 9.3 млн. ячеек  
(всего – 26.8 млн. ячеек)



Задача Смеситель, 260 тыс. ячеек

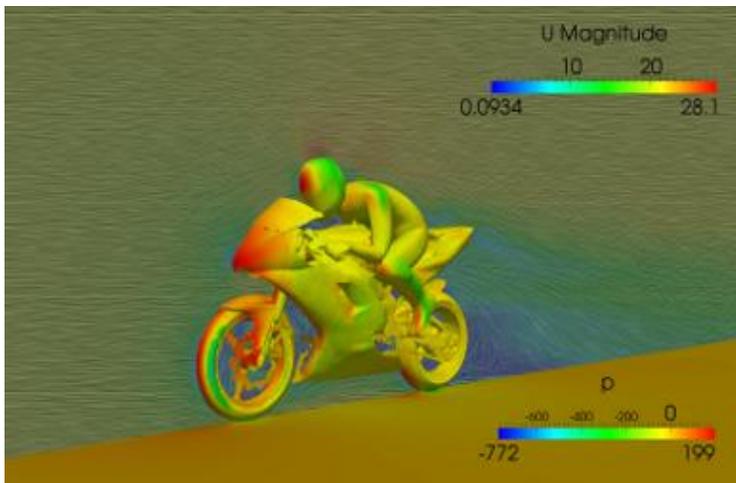
Распределение  
температуры



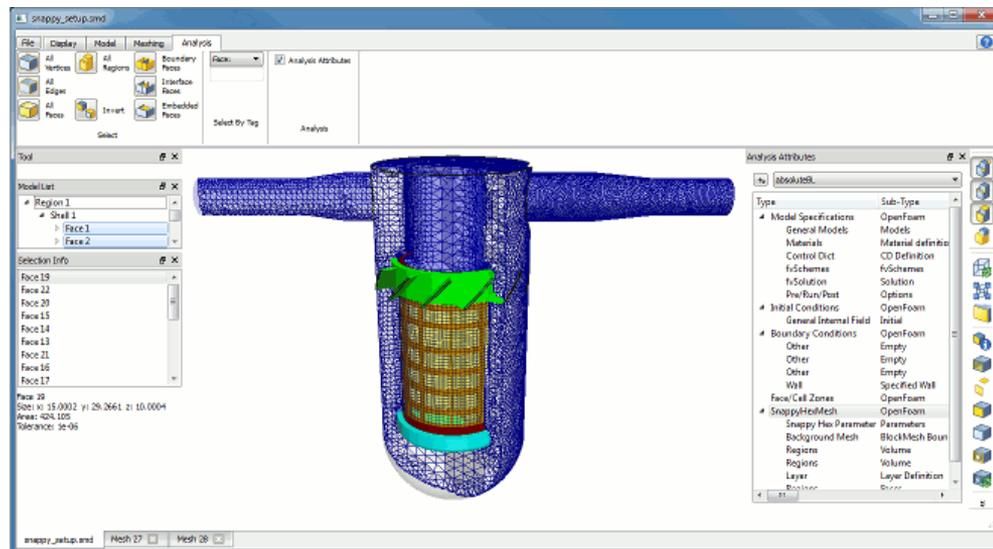


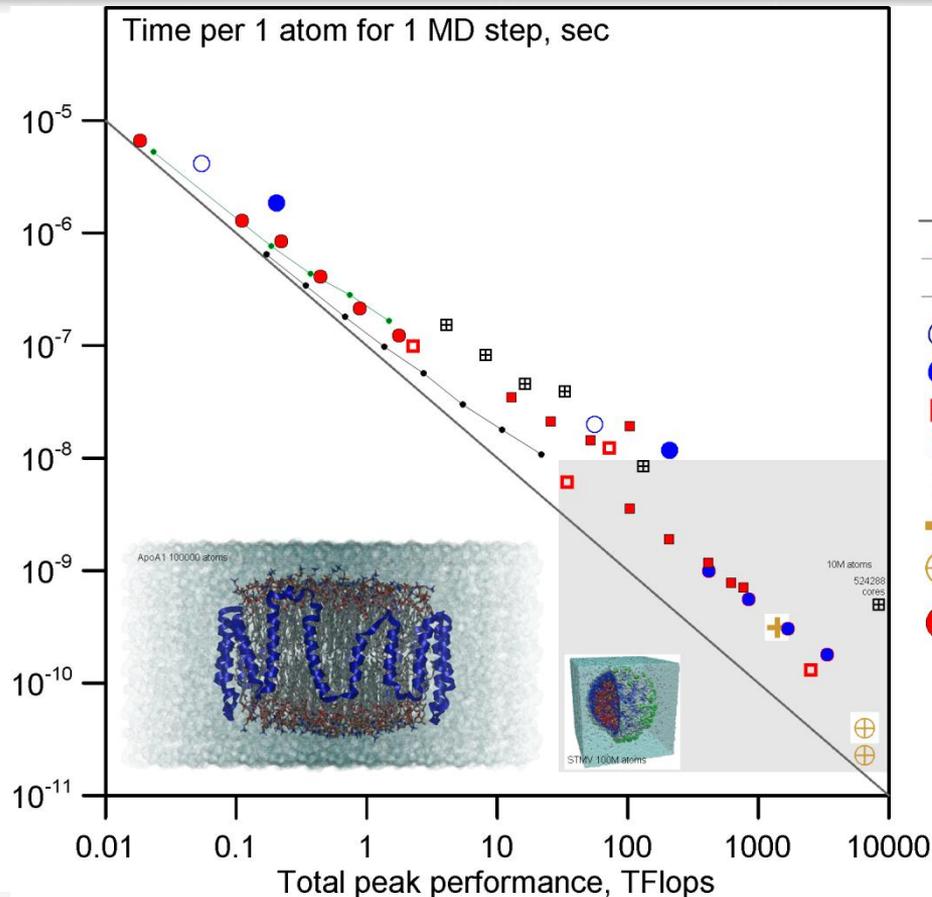
# Open FOAM

The Open Source CFD Toolbox

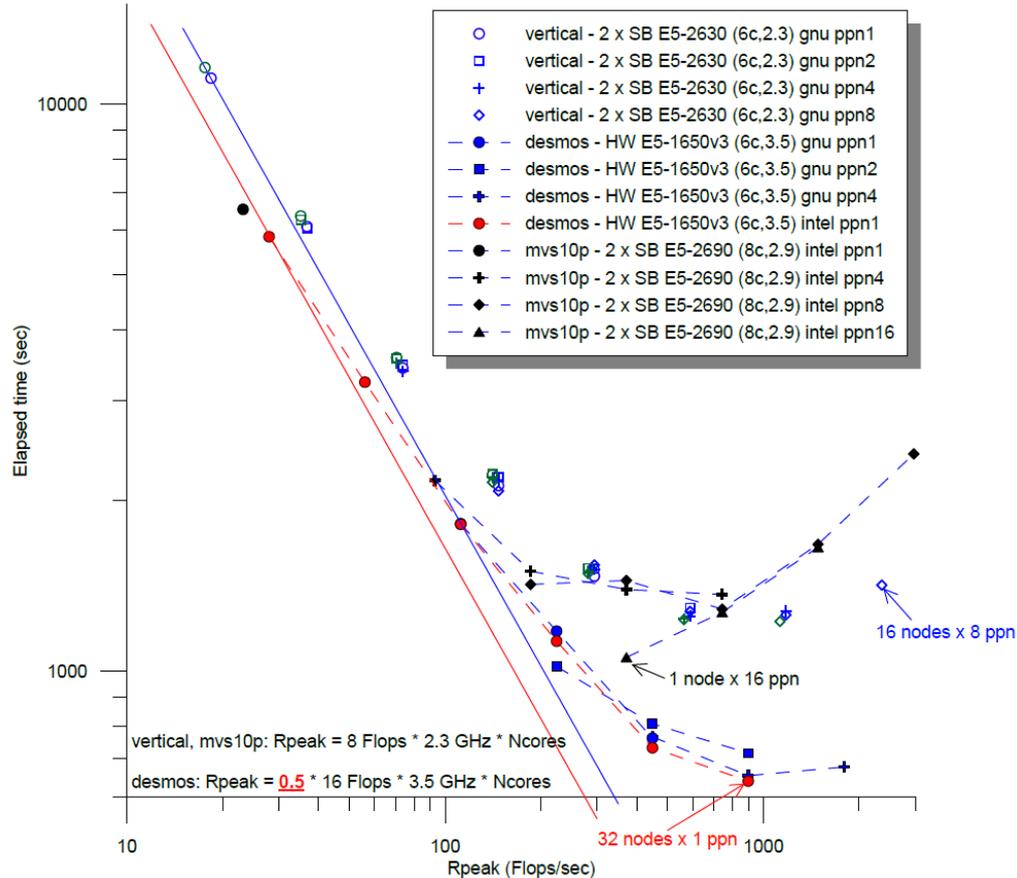


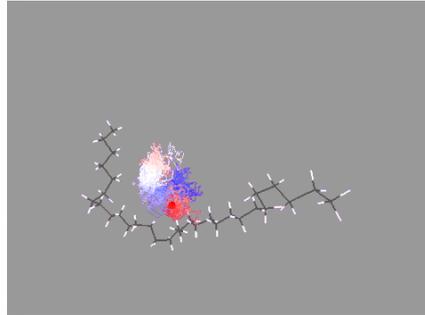
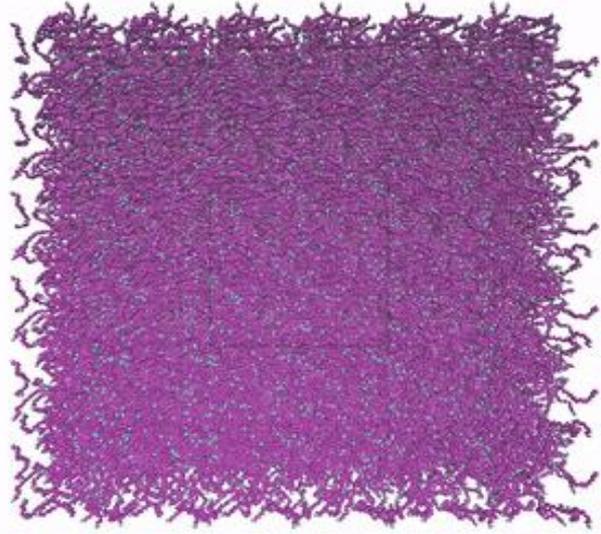
## Версия 3.0.0





- Ideal scaling (0.1MFlops/atom/step)
- Intel Xeons + Infiniband FDR (GROMACS)
- Intel Xeons + Infiniband DDR (Desmond)
- IBM BG/P PowerPC 450 (NAMD)
- IBM BG/Q PowerPC A2 (NAMD)
- Cray XK6 (NAMD)
- Cray XK6 (NAMD) with GPU
- ⊞ K Computer SPARC64 VIIIfx (NAMD)
- ⊕ ANTON-1: 2.73 TFxops (sp)
- ⊕ ANTON-2: 12.7 TFxops (sp)
- Intel Xeons + **Angara 3D torus** (GROMACS)





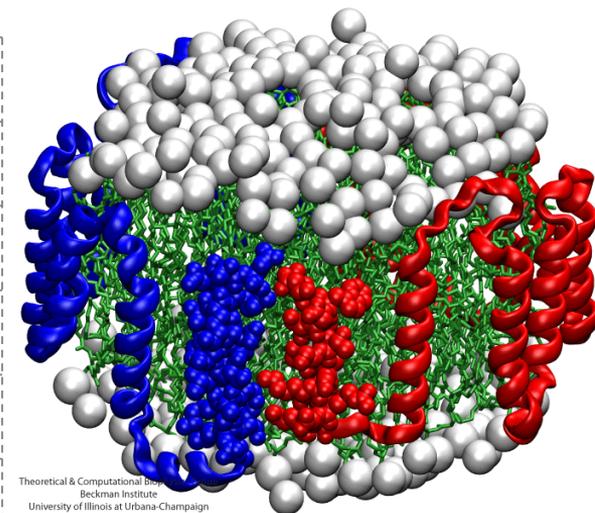
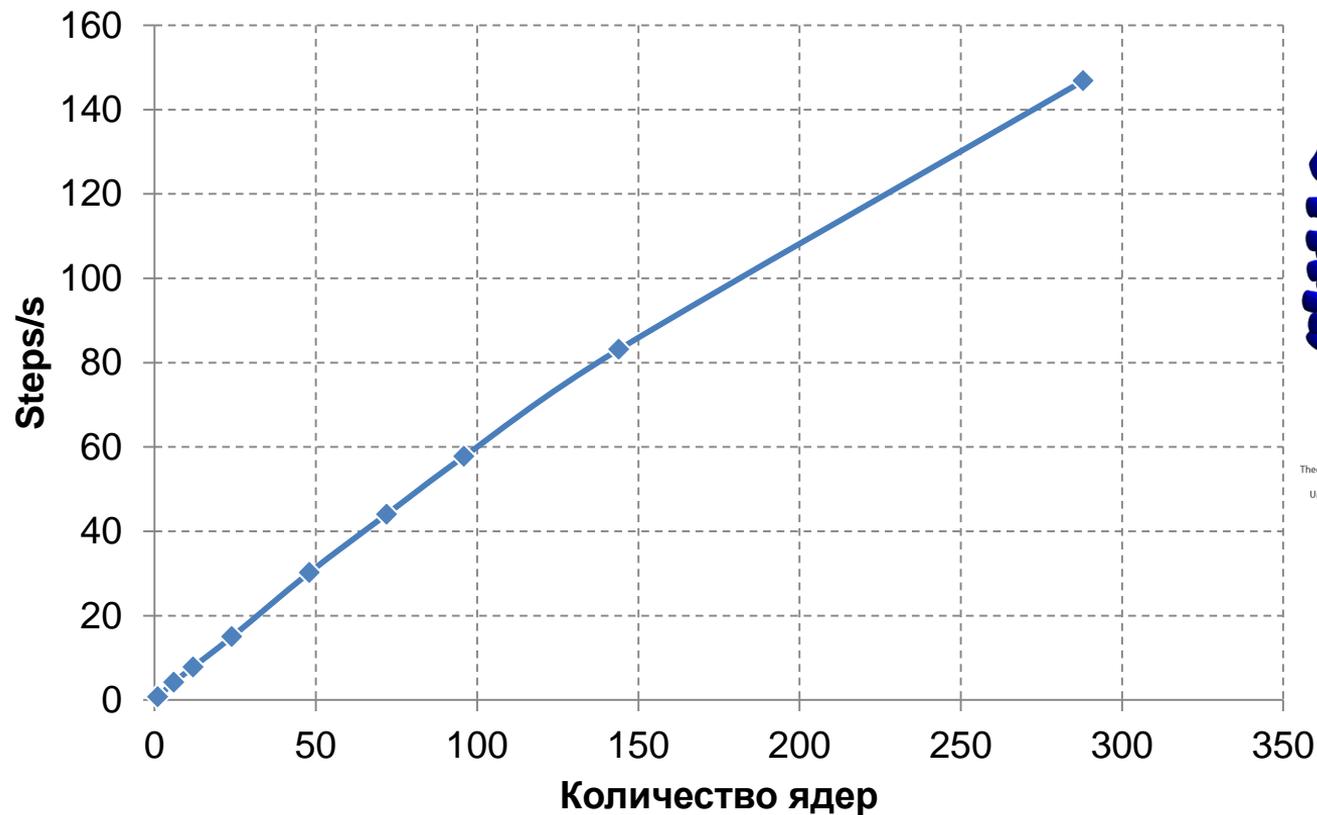
Траектория 1-й молекулы  
в исследуемой жидкости

н-триаконтановая жидкость  
 $T = 350 \div 490 \text{ K}$  ;  $P = 1 \text{ атм}$   
Количество молекул  $\sim 4\ 000$

Диффузия, вязкость жидких углеводородов,  
т.к. они входят в состав

трансформаторных масел,  
топлив и смазочных материалов

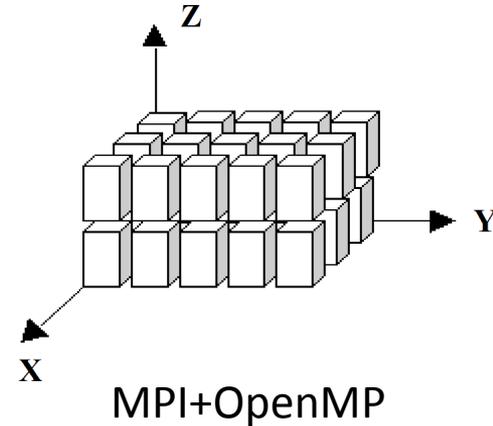
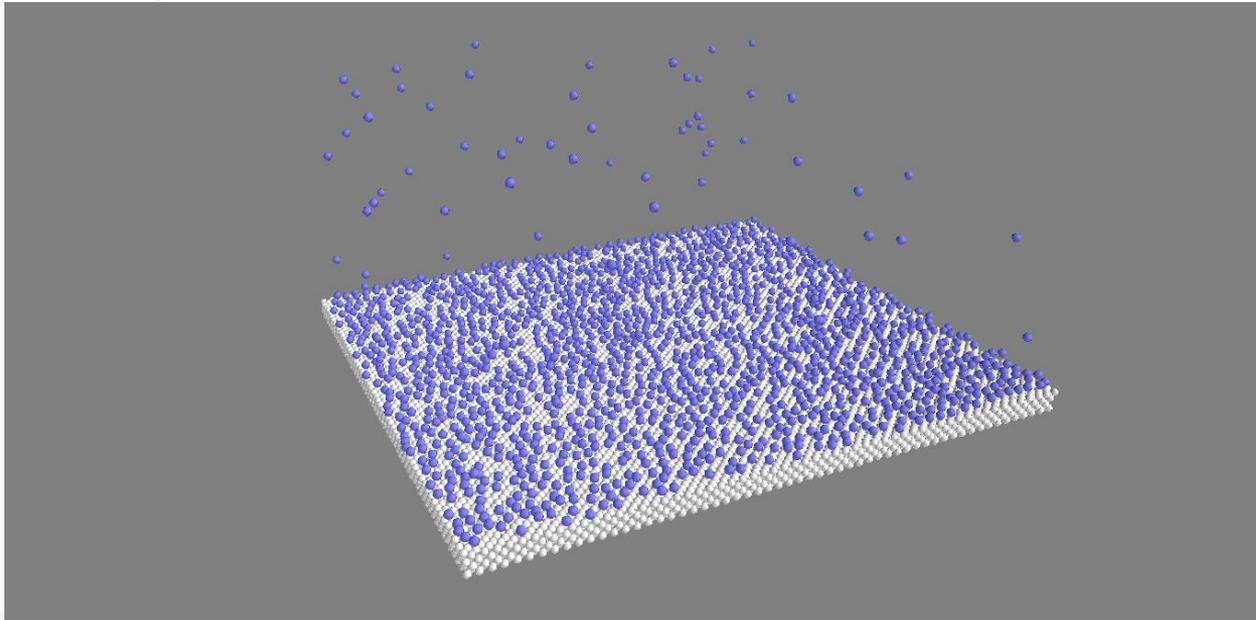
Молекулярная динамика -> **макроскопические свойства**



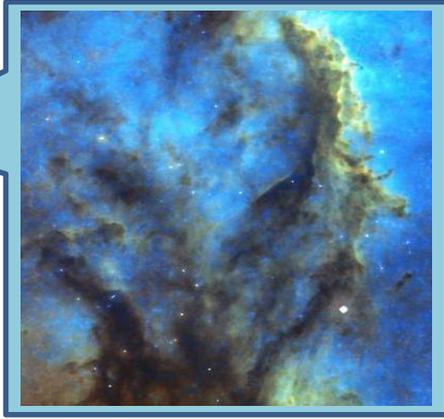
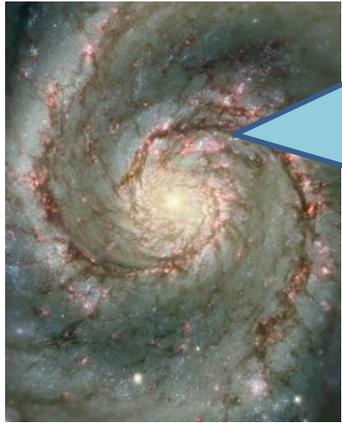
## Расчет по взаимодействию азота со стенками никелевого микроканала

Число частиц:  $8\,128\,512 + 423\,840 = 8\,552\,352$ ,Температура термостатов:  $T_{Ni} = 273.15\text{ K}$ ,  $T_{N_2} = 273.15\text{ K}$ 

Число шагов по времени: 2 000 000 шагов, 1 шаг = 2 фс

Размер системы:  $102 \times 102 \times 1534\text{ нм}^3$ 

Фрагмент распределения  
молекул азота (область  
 $20 \times 20\text{ нм}$ ) на поверхности  
никелевой пластины, в  
момент времени  $2.3\text{ нс}$

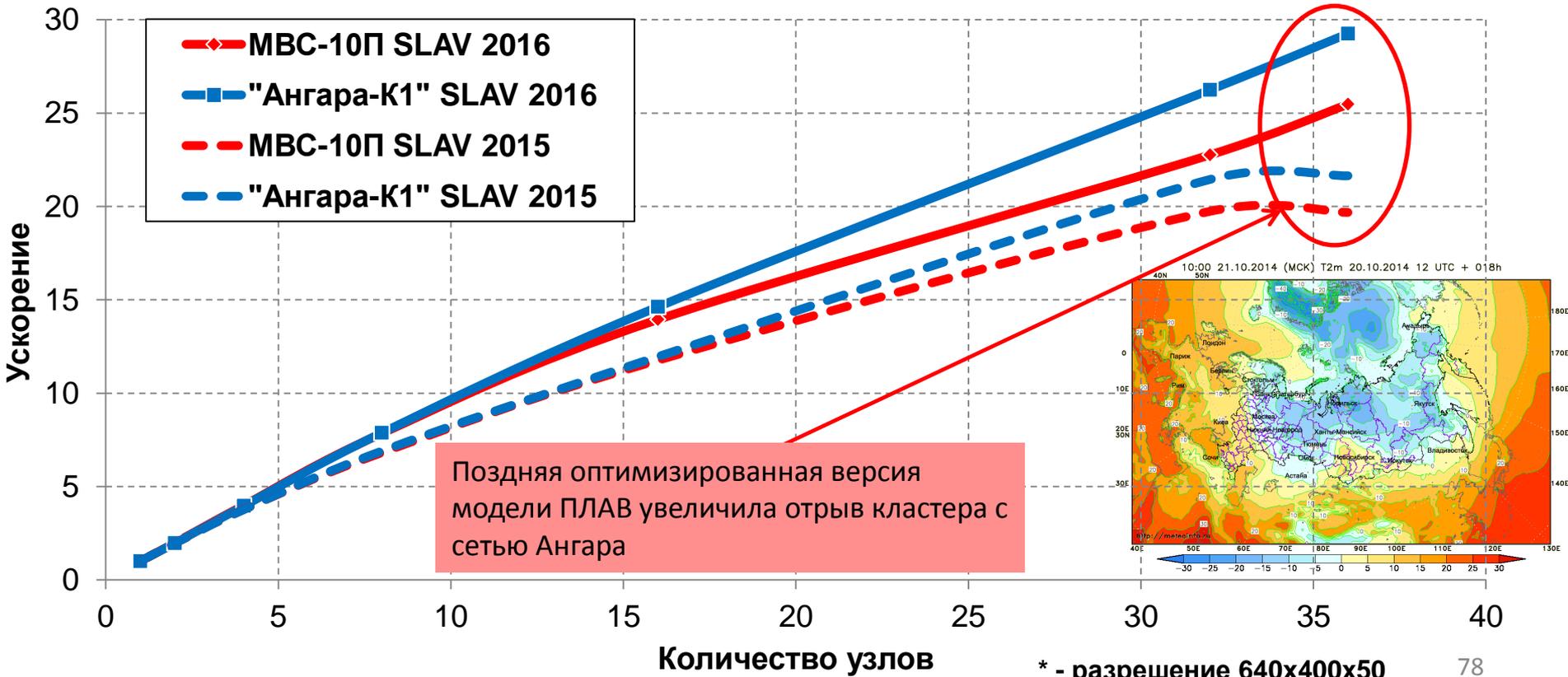


## The self-gravity magneto hydrodynamics equations

$$\frac{\partial}{\partial t} \begin{pmatrix} \rho \\ \rho_i \\ \rho_v \\ \rho_E \\ \rho\varepsilon \end{pmatrix} + \nabla \cdot \begin{pmatrix} \rho \vec{v} \\ \rho_i \vec{v} \\ \rho_v \vec{v} \\ \rho_E \vec{v} \\ \rho\varepsilon \vec{v} \end{pmatrix} = \begin{pmatrix} 0 \\ s_i \\ \nabla \cdot \vec{B} \vec{B} - \nabla p^* - \rho \nabla \Phi \\ -\nabla \cdot \vec{p}^* \vec{v} - \vec{B} \vec{B}_{,v} - \rho_v \nabla \Phi - \Lambda + \Gamma \\ -\gamma^{-1} \rho\varepsilon \nabla \cdot \vec{v} - \Lambda + \Gamma \end{pmatrix}$$

$$\frac{\partial \vec{B}}{\partial t} = \nabla \times \vec{v} \times \vec{B} \qquad \nabla \cdot \vec{B} = 0 \qquad \Delta \Phi = 4\pi G \rho$$

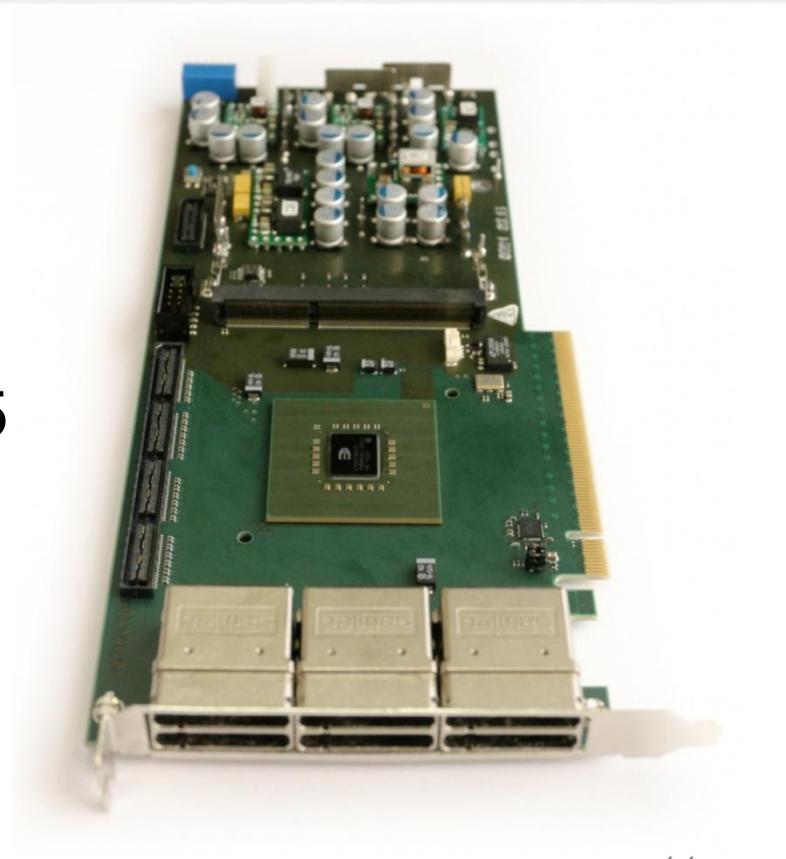
$$\rho_E = \rho\varepsilon + \frac{\rho v^2}{2} + \frac{B^2}{2} \qquad p = \gamma^{-1} \rho\varepsilon \qquad p^* = p + \frac{B^2}{2}$$

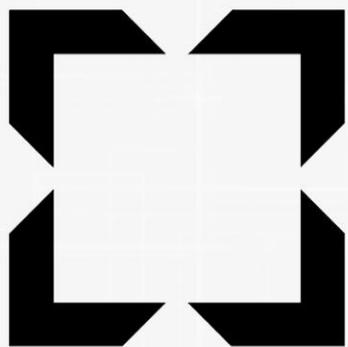


## Контакты:

117587, Москва, Варшавское ш, 125

[angara@nicevt.ru](mailto:angara@nicevt.ru)





**Ростех**

*Объединенная  
приборостроительная  
корпорация*